

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

The partial translation of the above-listed publication:

1. Japanese Unexamined Patent Application Publication No.  
5-182474

Abstract:

PURPOSE: To set the threshold value of a memory cell in an optimum state by confirming a writing lack state with first write verifying potential and confirming a writing excess state with second write verifying potential.

CONSTITUTION: The writing lack state is checked by applying a first write verifying potential VVER(1) to a word line and applying a Vcc to a nonselective word line in a NAND cell and reading them after data is written in all memory cells connected to the selected word line. When writing lack is present, the memory cell is written and checked again. Thereafter, the writing excess state is checked by applying the second write verifying potential VVER(2) to the selective word line and applying the Vcc to the nonselective word line in the NAND cell and reading them. In such a manner, the threshold value of the memory cell is set in the optimum state and reliability is improved by controlling the write verifying checking the upper limit and the lower limit of an allowable threshold value.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-182474

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl.<sup>4</sup>  
G 1 1 C 16/06

識別記号

庁内整理番号

F I

技術表示箇所

9191-5L

G 1 1 C 17/ 00

3 0 9 A

審査請求 未請求 請求項の数11(全 43 頁)

(21)出願番号 特願平4-53732

(22)出願日 平成4年(1992)3月12日

(31)優先権主張番号 特願平3-72424

(32)優先日 平3(1991)3月12日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平3-281573

(32)優先日 平3(1991)10月28日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 遠藤 哲郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 白田 理一郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 大内 和則

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(74)代理人 弁理士 鈴江 武彦

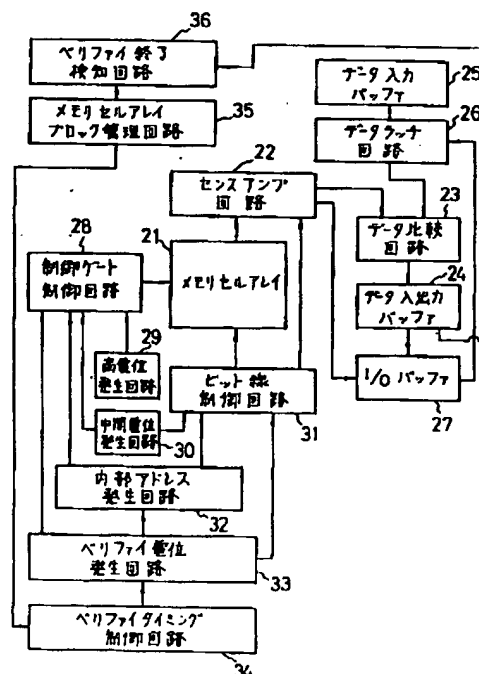
最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】書込みペリファイ機能を有するNANDセル型のEEPROMを提供することを目的とする。

【構成】半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有するEEPROMにおいて、データ書込み時選択されたNANDセル内の各メモリセルの制御ゲートに第1の書込みペリファイ電位を順次印加してデータ読出しを行って書込み不足状態を確認する機能と、第2の書込みペリファイ電位を選択メモリセルの制御ゲートに印加してデータ読出しを行って書込み過剰状態を確認する機能とを有する書込みペリファイ制御回路を備えた。



## 【特許請求の範囲】

【請求項1】半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有する不揮発性半導体記憶装置において、

データ書込みがなされたNANDセル内の選択メモリセルもしくは選択ワード線に繋がる1ページの全てのメモリセルまたは少なくとも1つ以上の選択NANDセルの制御ゲートに第1の書込みベリファイ電位を印加したデータ読出し動作と、NANDセル内の前記選択メモリセルもしくは選択ワード線に繋がる1ページの全てのメモリセルまたは少なくとも1つ以上の選択NANDセルの制御ゲートに第2の書込みベリファイ電位を印加したデータ読出し動作によりデータ書込み状態を確認する書込みベリファイ制御回路を有する、ことを特徴とする不揮発性半導体記憶装置。

【請求項2】半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有する不揮発性半導体記憶装置において、

選択されたメモリセルまたはNANDセルもしくはNANDセルブロック内のすべてのメモリセルの制御ゲートに所定の消去ベリファイ電位を印加してデータ読出し動作によりデータ消去状態を確認する消去ベリファイ制御回路と、

データ書込みがなされたNANDセル内の選択メモリセルもしくは選択ワード線に繋がる1ページの全てのメモリセルまたは少なくとも1つ以上の選択NANDセルの制御ゲートに第1の書込みベリファイ電位を印加したデータ読出し動作と、NANDセル内の前記選択メモリセルもしくは選択ワード線に繋がる1ページの全てのメモリセルまたは少なくとも1つ以上の選択NANDセルの制御ゲートに第2の書込みベリファイ電位を印加したデータ読出し動作によりデータ書込み状態を確認する書込みベリファイ制御回路と、を有することを特徴とする不揮発性半導体記憶装置。

【請求項3】半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有する不揮発性半導体記憶装置において、

データ書込みがなされたNANDセル内の選択メモリセルもしくは選択ワード線に繋がる1ページの全てのメモリセルまたは少なくとも1つ以上の選択NANDセルの制御ゲートに第1の書込みベリファイ電位を印加し、か

つNANDセル内の非選択メモリセルもしくは非選択ワード線に繋がる1ページの全てのメモリセルまたは少なくとも1つ以上の非選択NANDセルの制御ゲートに第2の書込みベリファイ電位を印加したデータ読出し動作によりデータ書込み状態を確認する書込みベリファイ制御回路を有する、ことを特徴とする不揮発性半導体記憶装置。

【請求項4】半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有する不揮発性半導体記憶装置において、

選択されたメモリセルまたはNANDセルもしくはNANDセルブロック内のすべてのメモリセルの制御ゲートに所定の消去ベリファイ電位を印加してデータ読出し動作によりデータ消去状態を確認する消去ベリファイ制御回路と、

データ書込みがなされたNANDセル内の選択メモリセルもしくは選択ワード線に繋がる1ページの全てのメモリセルまたは少なくとも1つ以上の選択NANDセルの制御ゲートに第1の書込みベリファイ電位を印加し、かつNANDセル内の非選択メモリセルもしくは非選択ワード線に繋がる1ページの全てのメモリセルまたは少なくとも1つ以上の非選択NANDセルの制御ゲートに第2の書込みベリファイ電位を印加したデータ読出し動作によりデータ書込み状態を確認する書込みベリファイ制御回路と、を有することを特徴とする不揮発性半導体記憶装置。

【請求項5】前記書込みベリファイ制御回路は、選択されたメモリセルアレイ・ブロック内の少なくとも1つ以上のNANDセルへのデータ書込みと第1の書込みベリファイ電位によるデータ書込み不足状態の確認、および書込み不足状態のメモリセルに対する再度のデータ書込みを行い、その後前記第2の書込みベリファイ電位を選択されたメモリセルアレイ・ブロック内の少なくとも1つ以上のNANDセルのゲートに印加し読出すことによりデータ書込み過剰状態を確認する機能を有することを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

【請求項6】前記書込みベリファイ制御回路は、所定の動作時間を設定してデータ読出しを行うためのタイマと、第1、第2の書込みベリファイ電位を順次出力するためのデコーダ回路を内蔵することを特徴とする請求項1～4いずれかに記載の不揮発性半導体記憶装置。

【請求項7】前記消去ベリファイ制御回路および書込みベリファイ制御回路は、所定の動作時間を設定して読出しを行うためのタイマを内蔵することを特徴とする請求項2または4に記載の不揮発性半導体記憶装置。

【請求項8】前記書込みベリファイ制御回路は、選択さ

10

20

30

40

50

れたメモリセルアレイ・ブロック内の選択されたメモリセルまたは選択されたワード線方向の全てのNANDセルへのデータ書込みが行われる毎に、前記第1の書込みベリファイ電位によるデータ書込み不足状態と、前記第2の書込みベリファイ電位によるデータ書込み過剰状態とを確認する機能を有し、書込み不足状態のメモリセルがあれば再度そのNANDセルに対してデータ書込みが行われ、書込み不足状態も書込み過剰状態もなければ、選択されたメモリセルアレイ・ブロック内の次のメモリセルまたは選択されたワード線方向の全てのNANDセルに対して同様にデータ書込みと書込みベリファイ動作を行うことを特徴とする請求項1〜4のいずれかに記載の不揮発性半導体記憶装置。

【請求項9】半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイと、  
前記メモリセルアレイのデータ書込みおよび消去を行うブロックを選択する手段と、  
前記メモリセルアレイのビット線に書込みデータを与えるデータ入力バッファおよびデータラッチ回路と、  
前記メモリセルアレイのビット線データを読出すセンスアンプ回路およびデータ出力バッファと、  
前記メモリセルアレイのデータ消去が行われた後に、データ消去状態を確認するためにデータ消去ベリファイ電位を選択されたNANDセル内の全ての制御ゲートもしくは選択メモリセルの制御ゲートに印加してデータ読出しを行うデータ消去ベリファイ制御回路と、  
データ書込みがなされたNANDセル内の選択メモリセルの制御ゲートに第1の書込みベリファイ電位を印加したデータ読出し動作と、NANDセル内の選択メモリセルの制御ゲートもしくはNANDセル内の全ての制御ゲートに第2の書込みベリファイ電位を印加したデータ読出し動作によりデータ書込み状態を確認する書込みベリファイ制御回路と、  
前記データラッチ回路とセンスアンプ回路の出力を比較してその結果を一時ラッチする機能を持つデータ比較回路と、  
前記第1の書込みベリファイ電位を与えたときの前記データ比較回路の出力により書込み状態を確認して、書込み不足状態のメモリセルに対してデータ再書込みを行う手段と、  
前記消去ベリファイ電位、第1の書込みベリファイ電位および第2の書込みベリファイ電位を与えたときの前記データ比較回路の出力によりベリファイ動作の終了を検知するベリファイ終了検知手段と、  
前記ベリファイ終了検知手段の出力により、次のデータ書込み或いは再書込みを行うメモリセルアレイ・ブロックの指定、または今後の不使用のプロテクトをかけるた

めのメモリセルアレイ・ブロックの指定を行うメモリセルアレイ・ブロック管理手段と、を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項10】半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電氣的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイと、

- 10 前記メモリセルアレイのデータ書込みおよび消去を行うブロックを選択する手段と、  
前記メモリセルアレイのビット線に書込みデータを与えるデータ入力バッファおよびデータラッチ回路と、  
前記メモリセルアレイのビット線データを読出すセンスアンプ回路およびデータ出力バッファと、  
前記メモリセルアレイのデータ消去が行われた後に、データ消去状態を確認するためにデータ消去ベリファイ電位を選択されたNANDセル内の全ての制御ゲートもしくは選択メモリセルの制御ゲートに印加してデータ読出しを行うデータ消去ベリファイ制御回路と、
- 20 データ書込みがなされたNANDセル内の選択メモリセルの制御ゲートに第1の書込みベリファイ電位を印加し、NANDセル内の非選択メモリセルの制御ゲート第2の書込みベリファイ電位を印加したデータ読出し動作によりデータ書込み状態を確認する書込みベリファイ制御回路と、  
前記データラッチ回路とセンスアンプ回路の出力を比較してその結果を一時ラッチする機能を持つデータ比較回路と、  
前記第1および第2の書込みベリファイ電位を与えたときの前記データ比較回路の出力により書込み状態を確認して、書込み不足状態のメモリセルに対してデータ再書込みを行う手段と、  
前記消去ベリファイ電位、第1および第2の書込みベリファイ電位を与えたときの前記データ比較回路の出力によりベリファイ動作の終了を検知するベリファイ終了検知手段と、  
前記ベリファイ終了検知手段の出力により、次のデータ書込み或いは再書込みを行うメモリセルアレイ・ブロックの指定、または今後の不使用のプロテクトをかけるた
- 30 めのメモリセルアレイ・ブロックの指定を行うメモリセルアレイ・ブロック管理手段と、を備えたことを特徴とする不揮発性半導体記憶装置。
- 40 【請求項11】半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層への電荷の授受により電氣的書替えを可能としたメモリセルがマトリクス配列されたメモリセルアレイを有する不揮発性半導体記憶装置において、  
データ消去がなされたセルブロック内の選択メモリセルもしくは選択ワード線に繋がる少なくとも1ページの全てのメモリセルの制御ゲートに第1の消去ベリファイ電
- 50

位を印加したデータ読出し動作と、セルブロック内の前記選択メモリセルもしくは選択ワード線に繋がる少なくとも1ページの全てのメモリセルまたは選択ブロック内の全てのメモリセルの制御ゲートに第2の消去ペリファイ電位を印加したデータ読出し動作によりデータ消去状態を確認する消去ペリファイ制御回路を有する、ことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電氣的書替え可能な不揮発性半導体記憶装置（EEPROM）に係り、特にNANDセル構成およびNORセル構成のメモリセルアレイを有するEEPROMに関する。

【0002】

【従来の技術】EEPROMの一つとして、高集積化が可能なNANDセル型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続して一単位としてビット線に接続するものである。メモリセルは通常電荷蓄積層と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、p型基板またはn型基板に形成されたp型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介してソース線（基準電位配線）に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0003】このNANDセル型EEPROMの動作は次の通りである。データ書込みの動作は、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには、高電圧 $V_{pp}$ （=20V程度）を印加し、それよりビット線側にあるメモリセルの制御ゲートおよび選択ゲートには中間電位 $V_{ppM}$ （=10V程度）を印加し、ビット線にはデータに応じて0Vまたは中間電位を与える。ビット線に0Vが与えられた時、その電位は選択メモリセルのドレインまで伝達されて、基板側から浮遊ゲートに電子注入が生じる。これによりその選択されたメモリセルのしきい値は正方向にシフトする。この状態をたとえば“1”とする。ビット線に中間電位が与えられたときは電子注入が起こらず、従ってしきい値は変化せず、負に止まる。この状態は“0”である。

【0004】データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。すなわち全ての制御ゲートを0Vとし、選択ゲート、ビット線、ソース線、メモリセルアレイが形成されたp型ウェル、およびn型基板に高電圧20Vを印加する。これにより、全てのメモリセルで浮遊ゲートの電子が基板側に放出され、しきい値は負方向にシフトする。

【0005】データ読出し動作は、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制

御ゲートおよび選択ゲートを電源電位 $V_{cc}$ （=5V）として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0006】以上の動作説明から明らかなように、NANDセル型EEPROMでは、書込みおよび読出し動作時には非選択メモリセルは転送ゲートとして作用する。この観点から、書込みがなされたメモリセルのしきい値電圧には制限が加わる。たとえば、“1”書込みされたメモリセルのしきい値の好ましい範囲は、0.5～3.5V程度となる。データ書込み後の経時変化、メモリセルの製造パラメータのばらつきや電源電位のばらつきを考慮すると、データ書込み後のしきい値分布はこれより小さい範囲であることが要求される。

【0007】しかしながら、従来のような、書込み電位および書込み時間を固定して全メモリセルを同一条件でデータ書込みする方式では、“1”書込み後のしきい値範囲を許容範囲に収めることが難しい。たとえばメモリセルは製造プロセスのばらつきからその特性にもばらつきが生じる。従って書込み特性を見ると、書込まれやすいメモリセルと書込まれにくいメモリセルがある。従来はこれに対して、書込まれにくいメモリセルに十分に書込まれるように、書込み時間に余裕を持たせて全メモリセルを同一条件で書込むという事が一般に行われている。これでは、書込まれ易いメモリセルには必要以上に書込まれ、しきい値電圧が許容範囲を越えて高くなってしまう。

【0008】一方、“0”書込みしたメモリセル或いはデータ消去したNANDセルのメモリセルのしきい値電圧が負方向にある値以上大きくなっていないと、これも問題になる。“0”書込みしたメモリセルのしきい値は、これによってデータ読出し時のセル電流（読出し電流）が変化し、その結果アクセスタイムが変化するから、EEPROMの仕様を左右する。またデータ消去によって十分に消去がなされていないと、その後のデータ書込みで“1”状態のしきい値が必要以上に高くなってしまい、しきい値の許容範囲を越えることになる。

【0009】また電源電圧変動に伴う問題もある。例えば電源電圧 $V_{cc}$ =5Vが、4.5Vから5.5V程度の範囲でばらつく場合を考える。ペリファイ動作時に $V_{cc}$ =5.5Vであり、その後読出し動作を行う時に $V_{cc}$ =4.5Vになるとすると、ペリファイ動作時にはデータはパスするが、読出し動作ではフェイルしてしまう。

【0010】また、同様にNORセル構成にした場合にも、消去時にセルのしきい値を0.5～7.5V程度にすることが望ましい。したがって、NAND型セルと同様に、アクセスタイムの変化および電源電位変動に伴う問題が発生する。

【0011】

【発明が解決しようとする課題】以上のように従来のNANDセル型およびNORセル型のEEPROMでは、

データ消去や書込みの際、メモリセルのしきい値を許容範囲に収めることが難しい、という問題があった。

【0012】本発明は、データ書込み状態のメモリセルのしきい値を所定範囲に収めることを可能としたNANDセル型のEEPROMを提供すること、およびデータ消去状態のメモリセルのしきい値を所定の範囲に収めることを可能としたNORセル型のEEPROMを提供することを目的とする。

【0013】本発明はまた、データ消去状態およびデータ書込み状態のメモリセルのそれぞれのしきい値を所定範囲に収めることを可能としたNANDセル型およびNORセル型のEEPROMを提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、第1に、半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電気的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有するEEPROMにおいて、データ書込み時選択されたNANDセル内の選択メモリセルの制御ゲートに第1の書込みベリファイ電位を印加したデータ読出し動作と、選択メモリセルの制御ゲートに第2の書込みベリファイ電位を印加したデータ読出し動作とによってデータ書込み状態を確認する書込みベリファイ制御回路を有することを特徴とする。

【0015】本発明は、第2に、半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電気的書替えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有するEEPROMにおいて、データ書込み時選択されたNANDセル内の選択メモリセルの制御ゲートに第1の書込みベリファイ電位を印加し、非選択メモリセルの制御ゲートに第2の書込みベリファイ電位を印加したデータ読出し動作によってデータ書込み状態を確認する書込みベリファイ制御回路を有することを特徴とする。

【0016】本発明はさらに、その様なEEPROMにおいて、書込みベリファイ制御回路と共に、選択されたNANDセル内の全てのメモリセルの制御ゲートに所定の消去ベリファイ電位を印加してデータ消去状態を確認する消去ベリファイ制御回路を有することを特徴とする。

【0017】

【作用】第1の発明においては、選択されたメモリセルアレイ・ブロック内のメモリセルにデータ書込みが行われた後、書込みベリファイ制御回路によってデータ書込み状態の確認がなされる。この書込みベリファイ動作には、第1の書込みベリファイ電位を用いて書込み不足状態になっていないかどうかを確認する動作と、第2の書

込みベリファイ電位を用いて書込み過剰状態になっていないかどうかを確認する動作との二種がある。そしてデータ書込み動作と第1、第2の書込みベリファイ動作との具体的な組合せには、二つの方法がある。

【0018】第1の方法では、選択されたメモリセルアレイ・ブロック内の各メモリセルへのデータ書込み毎にまず、そのメモリセルの制御ゲートに順次第1のデータ書込みベリファイ電位を印加してビット線電流によって書込みが不足状態であるか十分であるかが確認される。もし、書込み不足状態のメモリセルがあれば、書込み動作が追加され、再度第1のデータ書込みベリファイ電位の印加による書込み状態の確認がなされる。この動作を繰り返して、そのメモリセルについて第1の書込みベリファイとデータ再書込みが終わった後、そのメモリセルに対して第2の書込みベリファイ電位を用いた書込み過剰状態の確認動作が行われる。以上のようにして第1、第2の書込みベリファイ動作が終了した後、選択メモリセルアレイ・ブロック内の次のメモリセルに対して同様に第1、第2の書込みベリファイ動作が行われる。

【0019】第2の方法は、選択されたメモリセルアレイ・ブロック内の少なくとも1つ以上のNANDセルに対してデータ書込みと第1の書込みベリファイ動作が行われた後に、まとめて第2の書込みベリファイ電位を用いたベリファイ動作を行うものである。

【0020】第2の発明においては、書込みベリファイ動作は、選択メモリセルに第1の書込みベリファイ電位を与えて書込み不足状態になっていないかどうかを確認する動作と、非選択メモリセルに第2の書込みベリファイ電位を与えて書込み過剰状態になっていないかどうかを確認する動作とが同時に行われる。データ書込み動作と第1、第2の書込みベリファイ動作との具体的な組合せには、二つの方法がある。

【0021】第1の方法では、選択されたメモリセルアレイ・ブロック内の各メモリセルへのデータ書込み毎にまず、その選択メモリセルの制御ゲートに第1のデータ書込みベリファイ電位を印加し、かつ非選択メモリセルの制御ゲートに第2の書込みベリファイ電位を印加して、書込みが不足状態または過剰状態であるか十分であるかが確認される。もし、書込み不足状態のメモリセルがあれば、書込み動作が追加され、再度第1、第2のデータ書込みベリファイ電位の印加による書込み状態の確認がなされる。この動作をデータが正常に書込まれるまで、または所定回数繰り返し行う。以上のようにして第1、第2の書込みベリファイ電位を用いたベリファイデータ書込み動作が終了した後、選択メモリセルアレイ・ブロック内の次のメモリセルに対して同様にデータ書込みと書込みベリファイ動作が行われる。

【0022】第2の方法は、選択されたメモリセルアレイ・ブロック内の少なくとも1つ以上のNANDセルに対してデータ書込みと書込みベリファイ動作が行われた

後に、次のメモリセルへのデータ書込みに対して、前回のメモリセルへのデータ書込み終了時の条件でデータ書込みを行った後、第1および第2の書込みベリファイ電位を用いたベリファイ動作を行うものである。

【0023】以上の書込みベリファイ動作により、選択されたメモリセルアレイ・ブロック内の全てのメモリセルのしきい値が所定の許容範囲に入っていることが確認されると、データ書込み動作が終了する。そして以上の書込みベリファイ動作の結果、書込み不足が解消されないメモリセルがある場合、または書込み過剰のメモリセルがある場合には、以後そのメモリセルアレイ・ブロックは不良として使用しないようにプロテクトをかければ、EEPROMの動作に支障はない。

【0024】また、第11の発明においては、選択されたメモリセルアレイ・ブロック内のメモリセルにデータ消去が行われた後、消去ベリファイ制御回路によって、データ消去状態の確認がなされる。この消去ベリファイ動作には、第1の消去ベリファイ電位を用いて、消去不足状態になっていないかどうかを確認する動作と、第2の消去ベリファイ電位を用いて、消去過剰状態になっていないかどうかを確認する動作との2種がある。以上の消去ベリファイ動作により、選択メモリセルアレイ・ブロック内の全てのメモリセルのしきい値が所定の許容範囲に入っていることが確認されると、データ消去動作が終了する。そして、以上の消去ベリファイ動作の結果、消去不足および過剰のメモリセルがある場合には、以後そのメモリセルアレイ・ブロックは不良として使用しないようにプロテクトをかければ、EEPROMの動作に支障はない。

【0025】

【実施例】図1は一実施例におけるNANDセル型EEPROMの構成を示している。図では、番地選択を行うためのアドレスバッファおよび行、列のアドレスデコーダ等は省略して、書込みおよび消去のベリファイ動作に関係する部分の構成を示している。メモリセルアレイ21に対して、データ読出しを行うためのセンスアンプ回路22およびI/Oバッファ27が設けられ、またデータの消去、書込みおよび読出しの制御を行うために制御ゲート制御回路28およびビット線制御回路31が設けられている。制御ゲート制御回路28とビット線制御回路31は、メモリセルアレイ21の制御ゲート線およびビット線にデータの書込み、消去および読出しの各動作に対応して所定の制御信号を出力するもので、消去および書込みベリファイタイミング制御回路34、消去および書込みベリファイ電位発生回路33、および内部アドレス発生回路32からの信号によって制御される。またデータ書込みおよび消去に対応して制御ゲート線、ビット線等にそれぞれ必要な高電位 $V_{pp}$ や中間電位 $V_{ppm}$ を与える高電位発生回路29および中間電位発生回路30が設けられている。

【0026】データ入力バッファ25は、メモリセルアレイ21のビット線に与える書込みデータやワード線、基板に与える消去データを取り込む回路であり、このデータ入力バッファ25で取り込まれたデータはデータラッチ回路26にラッチされる。データラッチ回路26とセンスアンプ回路21は、書込みベリファイ動作時には、内部アドレス発生回路32から出力される列アドレスに従ってそれぞれセンス動作と再書込みすべきデータのラッチを行う。センスアンプ回路22とデータラッチ回路26の出力はデータ比較回路23に入力されている。

【0027】データ比較回路23は、ベリファイ動作時にデータラッチ回路26にラッチされたデータとセンスアンプ回路22より読み出されたデータの一致を、列アドレスごとに比較検出し、その結果をラッチする機能を有する。このデータ比較回路23の出力は、データ入出力バッファ24を介して、ベリファイ終了検知回路36に導かれる。データラッチ回路26にラッチされたデータに従って書込みベリファイ動作を行って、書込みデータがすべて所望のしきい値範囲に入っていると、ベリファイ終了検知回路36によりデータ書込み終了信号が得られる。データ書込み終了信号が出ない場合には、再度データの書込みが行われ、ベリファイ動作が繰り返される。データ書込み終了信号が得られると、これによりメモリセルアレイ・ブロック管理回路35は次のブロックを選択し、その選択信号はベリファイタイミング制御回路34に入力される。メモリセルアレイ・ブロック管理回路35は、最終的にベリファイ動作が失敗した場合にそのブロックをプロテクトする指示をも行う。

【0028】図2(a)(b)は、メモリセルアレイの一つのNANDセル部分の平面図と等価回路図であり、図3図(a)(b)はそれぞれ図2(a)のA-A'およびB-B'断面図である。素子分離酸化膜12で囲まれたp型シリコン基板(またはp型ウェル)11に複数のNANDセルからなるメモリセルアレイが形成されている。一つのNANDセルに着目して説明するとこの実施例では、8個のメモリセルM1~M8が直列接続されて一つのNANDセルを構成している。メモリセルはそれぞれ、基板11にゲート絶縁膜13を介して浮遊ゲート14(14<sub>1</sub>, 14<sub>2</sub>, ..., 14<sub>8</sub>)が形成され、この上に層間絶縁膜15を介して制御ゲート16(16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>8</sub>)が形成されて、構成されている。これらのメモリセルのソース、ドレインであるn型拡散層19は隣接するもの同志共用する形で、メモリセルが直列接続されている。

【0029】NANDセルのドレイン側、ソース側には夫々、メモリセルの浮遊ゲート、制御ゲートと同時に形成された選択ゲート14<sub>9</sub>, 16<sub>9</sub>および14<sub>10</sub>, 16<sub>10</sub>が設けられており、選択ゲート14<sub>9</sub>と16<sub>9</sub>の間、14<sub>10</sub>と16<sub>10</sub>の間は短絡されている。これら選択ゲ



トは二層構造であることは必ずしも必要ではなく、たとえば上部の選択ゲート16、16<sub>1</sub>のみで構成してもよい。素子形成された基板上はCVD酸化膜17により覆われ、この上にビット線18が配設されている。ビット線18はNANDセルの一端のドレイン側拡散層19にコンタクトさせている。行方向に並ぶNANDセルの制御ゲート14は共通に制御ゲート線CG1、CG2、…、CG8として配設されている。これら制御ゲート線はワード線となる。選択ゲート14、16、および14<sub>1</sub>、16<sub>1</sub>もそれぞれ行方向に連続的に選択ゲート線SG1、SG2として配設されている。図4は、このようなNANDセルがマトリクス配列されたメモリセルアレイの等価回路を示している。

【0030】図5図は、図1の中のセンスアンプ回路22、データラッチ回路26、データ比較回路23、データ入出力バッファ24の部分の具体的な構成を示している。データラッチ回路26は、ラッチ信号LATCHとアドレスaiの論理によって選ばれたアドレスのデータがラッチ回路本体1Aにラッチされる。センスアンプ回路22は、センス制御信号SENSEとアドレスaiの論理によって選ばれたアドレスのビット線データをセンスして出力する。このセンスアンプ回路22の出力は、データラッチ回路26の対応するデータと比較回路23によって比較され、その結果がラッチ信号LATCHV、/LATCHVによってラッチされることになる。次にその結果に応じてラッチ回路本体1Aに出力する。そしてラッチ信号LATCHV、/LATCHVを解除して次のアドレスの論理で選ばれるものに備える。

【0031】各データ消去およびデータ書込みベリファイの結果は、ベリファイ終了検知回路36に送られ、ベリファイ終了信号はセルアレイ・ブロック管理回路35に送られる。もし、消去ベリファイ、書込みベリファイのいずれかが失敗した場合には、管理回路35によりその後そのブロックの使用を使用しないようにプロテクトをかける指示が出される。

【0032】図6および図7は、図1における制御ゲート制御回路28の部分の具体的な構成を一本の制御ゲート線CGiについて示している。この制御回路は、高電位発生回路29から得られる高電位Vppを書込み時に選択ゲートに与える高電位供給回路28、同じく中間電位発生回路30から得られる中間電位VppMを書込み時に非選択の制御ゲートに与える中間電位供給回路28、書込みベリファイ制御信号W-VERIFY(1)により選択的に第1の書込みベリファイ電位V<sub>ver(1)</sub>を与える第1の書込みベリファイ電位供給回路28、書込みベリファイ制御信号W-VERIFY(2)により選択的に第2の書込みベリファイ電位V<sub>ver(2)</sub>を与える第2の書込みベリファイ電位供給回路28、および読出し信号READ、消去信号ERASEおよび消去ベリファイ制御信号E-VERIFYにより制御ゲート電位を設定する消去/読出し制御回路28、によ

り構成されている。

【0033】第1の書込みベリファイ電位V<sub>ver(1)</sub>は、メモリセルの書込み状態が不足しているか否かを確認するためのものであり、第2の書込みベリファイ電位V<sub>ver(2)</sub>はメモリセルの書込み状態が過剰になっているか否か確認するためのものである。この様な回路が各制御ゲート線毎に設けられる。高電位供給回路28、は、書込み信号WRITEとアドレスaiの論理をとるNANDゲートG1により制御されるEタイプ、nチャネルのスイッチングMOSトランジスタQE1とEタイプ、pチャネルのスイッチングMOSトランジスタQP1、および出力バッファとなるEタイプ、pチャネルMOSトランジスタQP2を主体として構成されている。MOSトランジスタQE1とQP1の間、MOSトランジスタQP1と高電位Vpp端子の間には、それぞれスイッチングMOSトランジスタを高電位から保護するためのnチャネルMOSトランジスタQD1、QD2が設けられている。これらのMOSトランジスタQD1、QD2はDタイプである。バッファ段MOSトランジスタQP1の上下にも同様に、Dタイプ、nチャネルMOSトランジスタQD3、QD4が設けられている。出力段にこの様にpチャネルMOSトランジスタとDタイプ、nチャネルMOSトランジスタを用いているのは、高電位Vppをしきい値降下なく制御ゲート線に供給するためである。とくにMOSトランジスタQD4は、他の回路から制御ゲート線に正電位が供給された時にpチャネルMOSトランジスタQP2のドレイン接合が順バイアスになるのを防止する働きをする。中間電位供給回路28、も、高電位供給回路28、と同様に、NANDゲートG2、これにより制御されるEタイプ、nチャネルのスイッチングMOSトランジスタQE2とEタイプ、pチャネルのスイッチングMOSトランジスタQP3、出力バッファとなるEタイプ、pチャネルMOSトランジスタQP4、およびDタイプ、nチャネルMOSトランジスタQD5~QD8により構成されている。NANDゲートG2は、非選択の制御ゲート線に中間電位を与えるために、書込み信号WRITEとアドレスaiの論理をとる。

【0034】消去/読出し制御回路28、は、読出し信号READとアドレスai、/aiの論理を取るNANDゲートG3、G5、消去信号ERASEと消去ベリファイ制御信号E-VERIFYの和をとるNORゲートG6、NANDゲートG5とG6の出力を選択するNANDゲートG7、これらNANDゲートG7とG3によりそれぞれ制御されるスイッチング用のEタイプ、nチャネルMOSトランジスタQE3とEタイプ、pチャネルMOSトランジスタQP5、これらのスイッチング用MOSトランジスタと制御ゲート線に設けられた保護用のDタイプ、nチャネルMOSトランジスタQD10、QD9により構成されている。

【0035】第1の書込みベリファイ電位供給回路28

は、書込みペリファイ信号W-VERIFY(1) とアドレス a<sub>i</sub> の論理を取る NAND ゲート G<sub>4</sub> とその出力を反転するインバータゲート I<sub>1</sub>、このインバータゲート I<sub>1</sub> により制御されて第1のペリファイ電位 V<sub>VER(1)</sub> を選択制御ゲート線に供給するためのスイッチング用の E タイプ、n チャンネル MOS トランジスタ Q<sub>E4</sub>、およびこの MOS トランジスタ Q<sub>E4</sub> と制御ゲート線の間に設けられた保護用の D タイプ、n チャンネル MOS トランジスタ Q<sub>D1</sub> により構成されている。

【0036】第2の書込みペリファイ電位供給回路 28、も同様に、書込みペリファイ信号 W-VERIFY(2) とアドレス a<sub>i</sub> の論理を取る NAND ゲート G<sub>5</sub> とその出力を反転するインバータゲート I<sub>2</sub>、このインバータゲート I<sub>2</sub> により制御されて第2のペリファイ電位 V<sub>VER(2)</sub> を非選択制御ゲート線に供給するためのスイッチング用の E タイプ、n チャンネル MOS トランジスタ Q<sub>E5</sub>、およびこの MOS トランジスタ Q<sub>E5</sub> と制御ゲート線の間に設けられた保護用の D タイプ、n チャンネル MOS トランジスタ Q<sub>D2</sub> により構成されている。

【0037】図8は、書込みペリファイ電位供給回路 28、28、に与えられる第1、第2のペリファイ電位 V<sub>VER(1)</sub>、V<sub>VER(2)</sub> の発生回路の構成例である。書込みペリファイ電位 V<sub>VER(1)</sub>、V<sub>VER(2)</sub> は、それぞれ書込みペリファイ信号 W-VERIFY(1) または W-VERIFY(2) が入ったときに電源電位 V<sub>CC</sub> と接地電位 V<sub>SS</sub> の間の所定値に設定された中間電位を出力して、図6の第1、第2のペリファイ電位供給回路 28、28、によって選択された制御ゲート線に供給されるものである。この実施例では、V<sub>CC</sub> と接地電位間に直列接続された E タイプ、n チャンネルの MOS トランジスタ Q<sub>E6</sub> と Q<sub>E7</sub>、および I タイプ、n チャンネルの MOS トランジスタ Q<sub>I</sub> を主体として構成されている。これらの MOS トランジスタのゲートに所定のバイアスを与えるために、抵抗 R<sub>1</sub> ~ R<sub>4</sub> の分圧回路が設けられている。これにより、

$$V_{SS} < V_{VER(1)} < V_{VER(2)} < V_{CC}$$

なるペリファイ電位が発生される。

【0038】原理的にはこれらの分圧回路の端子 A に電源電位 V<sub>CC</sub> を与えればよいが、それでは貫通電流が流れることになる。これを防止するためこの実施例では、E タイプ n チャンネル MOS トランジスタ Q<sub>E6</sub>、Q<sub>E9</sub> と、E タイプ、p チャンネル MOS トランジスタ Q<sub>P6</sub>、Q<sub>P7</sub>、およびインバータ I<sub>3</sub> による切替え回路を設けている。すなわち書込みペリファイ信号 W-VERIFY(1) または W-VERIFY(2) が “H” レベルになると、MOS トランジスタ Q<sub>E8</sub> がオン、Q<sub>P7</sub> がオン、Q<sub>E9</sub> がオフとなり、分圧回路の端子 A には電源電位 V<sub>CC</sub> が供給される。

【0039】これにより、分圧回路の分圧比で設定される MOS トランジスタ Q<sub>E6</sub>、Q<sub>E7</sub> および E<sub>I</sub> の導通状態に対応した中間電位の第1および第2の書込みペリフ

イ電位 V<sub>VER(1)</sub> および V<sub>VER(2)</sub> が得られる。書込みペリファイ信号 W-VERIFY(1) および W-VERIFY(2) が “L” レベルのときは、MOS トランジスタ Q<sub>E9</sub> がオンとなり、分圧回路の端子 A は接地電位となり、ペリファイ電位 V<sub>VER(1)</sub>、V<sub>VER(2)</sub> の端子はフローティングとなる。この時、切替え回路では、MOS トランジスタ Q<sub>P7</sub> がオフであるから、電流は流れない。

【0040】図9は、NAND セルの二つの選択ゲート SG<sub>1</sub>、SG<sub>2</sub> の制御回路である。ロウ・デコーダの出力によって選択ゲートを選択する NAND ゲート G<sub>11</sub>、G<sub>12</sub> およびそれらの出力端子に設けられたインバータ I<sub>11</sub> および I<sub>12</sub> を基本とする。書込み信号 WRITE が “H” レベルのときに2入力 NOR ゲート G<sub>13</sub> およびインバータ I<sub>13</sub> によって NAND ゲート G<sub>11</sub> に “H” レベルが入り、このとき、ドレイン側の選択ゲート SG<sub>1</sub> が選択され、ソース側の選択ゲート SG<sub>2</sub> は選択されない。NOR ゲート G<sub>13</sub> の他方の入力端子には、消去信号 ERASE、読出し信号 READ、書込みペリファイ信号 W-VERIFY(1)、W-VERIFY(2) および消去ペリファイ信号 E-VERIFY が入る NOR ゲート G<sub>14</sub> とインバータ I<sub>14</sub> が設けられている。即ち消去信号 ERASE、読出し信号 READ、書込みペリファイ信号 W-VERIFY(1)、W-VERIFY(2)、消去ペリファイ信号 E-VERIFY のいずれかが “H” レベルになると、NOR ゲート G<sub>13</sub> に “H” レベルが入り、二つ選択ゲート SG<sub>1</sub>、SG<sub>2</sub> が同時に選択されるようになって

いる。

【0041】ただし消去ペリファイ信号 E-VERIFY は、タイマ回路 28、を介して NOR ゲート G<sub>14</sub> に供給される。タイマ回路 28、はこの実施例では、一方の入力に消去ペリファイ信号 E-VERIFY が直接入る2入力 NAND ゲート G<sub>15</sub>、その出力端子に設けられたインバータ I<sub>15</sub>、消去ペリファイ信号 E-VERIFY を一定時間だけ NOR ゲート G<sub>14</sub> に供給するための遅延回路 DL およびインバータ I<sub>16</sub> により構成されている。即ち消去ペリファイ信号 E-VERIFY 信号が “H” レベルになると NOR ゲート G<sub>14</sub> に “H” レベルが入り、選択ゲート SG<sub>1</sub>、SG<sub>2</sub> が同時に選択される。そして、遅延回路 DL で決まる時間の後に NAND ゲート G<sub>15</sub> の二つの入力と共に “H” レベルとなり、NOR ゲート G<sub>14</sub> に供給されていた “H” レベルは “L” レベルに復帰する。遅延回路 DL は、例えば抵抗と容量により構成されるものでも、或いはリングオシレータの出力をカウンタで数えてあるカウント数になったら出力を出す回路でもよい。図10は、ペリファイ終了検知回路 36 の構成例であり、図示のようにフリップフロップと NAND ゲートおよびインバータにより構成される。次にこのように構成された EEPROM の動作を説明する。

【0042】まずデータ書込みを行うメモリセルアレイ・ブロックの選択がブロック管理回路 35 によってなされる。そして選択されたブロックに対して、データ書込

みに先立ってそのブロック内の全てのNANDセルのメモリスセルのデータ消去を行う。データ消去時は全ての制御ゲート線(ワード線)CGに0Vが与えられる。すなわち図7に示す制御回路において、消去/読出し制御回路28、に消去信号ERASEが入り、これによりMOSトランジスタQE3がオンになって全ての制御ゲート線CGiが0Vとされる。この時選択ゲート線SG1、SG2、ビット線、ソース線、およびメモリスセルアレイが形成されたp型基板(またはp型ウェルおよびn型基板)に高電位Vppが印加される。非選択ブロックの制御ゲート線にも高電位Vppが印加される。このバイアス状態を例えば、10msecの間保つことにより、選択ブロック内の全てのメモリスセルで浮遊ゲートから電子が放出され、しきい値が負の“0”状態になる。

【0043】消去されたメモリスセルのしきい値が十分負になっているか否かをチェックする消去ベリファイ動作は次のように行われる。図7の制御回路において、消去/読出し制御回路28、に消去信号E-ERASEと消去ベリファイ信号E-VERIFYが入り、スイッチングMOSトランジスタQE3がオンになって、アドレスとは無関係に選択されたNANDセル内の全てのメモリスセルの制御ゲートが0Vに設定される。選択ゲートSG1、SG2も同時に、図9の制御回路に消去ベリファイ信号E-VERIFYが入ることにより選択され、例えば5Vに設定される。ビット線には例えば、1.5Vが与えられ、ソース線は0Vとされる。

【0044】このとき、選択ゲートSG1、SG2が5Vになっている時間は、消去したメモリスセルのしきい値がある程度負になっていたらデータ“0”が読み出せる時間に設定される。これは図9の遅延回路DLを持つタイマ回路28、によって設定される。例えば、制御ゲートが全て0Vでビット線が1.5Vのときメモリスセルが10μA流せる時の読みだし時間が200nsecであった時のしきい値より低くしようとすると、この読出し時間を150nsecに設定する。そして、この設定された時間にデータ“0”が読み出されない場合には、再度データ消去を行い、条件を満たすまで同様のベリファイ動作を繰り返す。

【0045】データ書込みは、NANDセルの段数分のワードのデータ、例えば8NANDであれば8ワード分のデータがデータラッチ回路26にラッチされ、そのデータによってビット線電位が制御されて“0”または“1”が書き込まれる。この時選択された制御ゲート線に高電位Vpp、それよりビット線側にある非選択制御ゲート線に中間電位VppMが印加される。図6および図7の制御回路では書込み信号WRITEが入力される。即ち書込み信号WRITEとアドレスai、/aiの論理によって、高電位供給回路28、または中間電位供給回路28、がオンとなって選択された制御ゲート線にVpp、非選択の制御ゲート線にVppMが印加される。ビット線BL

には、データ“1”書込みの時は0V、“0”書込みの時は中間電位VppMが与えられる。

【0046】このデータ書込みのバイアス条件を保持する時間は、従来の書込み法に比べて十分に短いもの、例えば従来の1/100程度、具体的には10μsec程度とする。“1”が書かれたメモリスセルではしきい値が正方向にシフトし、“0”が書かれたメモリスセルではしきい値は負に止まる。

【0047】次に書込みベリファイ動作に入る。この実施例においては、データ“1”が書かれたメモリスセルのしきい値が所望の範囲に入っているか否かが第1、第2の書込みベリファイ電位Vver(1)、Vver(2)によってチェックされる。具体的には第1の書込みベリファイ電位Vver(1)によって許容しきい値範囲の下限がチェックされ、第2の書込みベリファイ電位Vver(2)によって許容しきい値範囲の上限がチェックされる。この許容しきい値範囲はメモリスセルのデータ保持特性を考慮して決められるもので、例えば1.5V以上、3.5V以下に定められる。具体的にはまず、第1の書込みベリファイ電位Vver(1)によるベリファイ動作が、データ書込みが行われた8ワード線のメモリスセルについて行われる。

【0048】図11はその書込みベリファイ動作のタイミング図である。まずセンス信号SENSEが“H”レベルになり、センスアンプ回路22がイネーブルとなる。この時、列アドレス発生回路32により列アドレスaiが入力され、データ出力線にデータが出力されて、データラッチ回路26のデータがラッチ出力線に出力される。この書込みベリファイ動作のサイクルでは、図6の制御回路に書込みベリファイ信号W-VERIFY(1)と読出し信号READが同時に入る。これらとアドレスai、/aiとの論理によって、選択された制御ゲート線には、第1の書込みベリファイ制御回路28、によって、Vccと接地電位の中間に設定された第1の書込みベリファイ電位Vver(1)=1.5Vが供給される。

【0049】それ以外の制御ゲート線には、消去/読出し制御回路28、のNANDゲートG3の出力が“L”レベルとなって制御ゲート線にVccが供給される。この時図9の制御回路により同時に選択される選択ゲート線SG1、SG2は共にVccに設定され、ビット線BLには1.5Vが与えられ、ソース線は0Vとされる。

【0050】これにより、選択されたメモリスセルが“1”書込みがなされたものであって、そのしきい値が1.5Vを超えていれば選択されたメモリスセルは非導通となり、データ“1”が読み出される。“1”書込みがなされたがしきい値が1.5Vに達していない場合には、選択されたメモリスセルは導通するから、データ“0”として読み出される。そして、書込みデータとベリファイ動作により読み出されたデータとはデータ比較回路23によって比較されて、ラッチ信号LATCHが“L”レベルから“H”レベルになることにより、比較

結果がラッチされる。

【0051】すなわち読み出されたデータが“1”であれば、これは比較回路23内のインバータ231で反転して、データラッチ回路26からの書込みデータ“1”と共にNANDゲート232に入り、インバータ233によって書込みデータが“1”であれば、“0”となって、ラッチ回路234にラッチされる。書込みデータが“1”であるが、書込みが不十分であって“0”と読み\*

\*出された場合には、ラッチ回路234には“1”としてラッチされる。書込みデータが“0”の場合には、読み出されたデータの如何に拘らず、“0”として比較回路23内のラッチ回路234にラッチされる。以上のデータ比較回路23でのラッチデータの様子を表1にまとめて示す。

【0052】

【表1】

|              |   |   |   |   |
|--------------|---|---|---|---|
| データラッチ回路のデータ | 1 | 1 | 0 | 0 |
| センスアップ回路出力   | 1 | 0 | 1 | 0 |
| データ比較回路出力    | 0 | 1 | 0 | 0 |

【0053】データ比較回路23の出力に“1”が現れた場合には、ベリファイ終了検知回路36はベリファイ終了信号を出さないようにする。即ち図10において、書込みベリファイ信号W-VERIFY(1)によりフリップフロップが初期化された後、データ比較回路23の出力に“1”が現れると、フリップフロップの出力は“0”にセ

ットされる。データ比較が終了するまではデータ比較信号が“0”、したがってベリファイ終了信号は“0”出力であり、ベリファイが終了していない事を示す。全ビット線のデータ比較が終了すると、データ比較終了信号が“1”になるが、ベリファイが終了しないと信号DOUT Vが“H”レベルになる事によって、データ比較回路23のデータが再度データバッファ24を介し、データ入力線を介して新しいデータとしてデータラッチ回路26にラッチされる。

【0054】上の表から明らかなように、データ書込みが不十分であったアドレスについてのみ“1”データが再度ラッチされ、これによって再度“1”データ書込み動作が繰り返される。そして再度ベリファイ動作を行い、“1”書込み不十分のメモリセルがなくなると、データ比較回路23に1個も“1”が現れなくなり、フリップフロップは“0”にセットされたままになって、データ比較終了信号が“1”になったときに、同じNANDセルについて次の第2の書込みベリファイ動作に入る。

【0055】第2の書込みベリファイ動作は、書込みベリファイ信号としてW-VERIFY(1)に代わってW-VERIFY(2)が用いられ、第1の書込みベリファイ電位 $V_{VER(1)}$ に代って第2の書込みベリファイ電位 $V_{VER(2)} = 3.5$  Vが用いられる。ただし、第1の書込みベリファイ動作

では、選択されたメモリセルに第1の書込みベリファイ電位 $V_{VER(1)}$ が印加され、非選択のメモリセルには例えば5 Vが印加された状態で読出しが行われるのに対して、第2の書込みベリファイ動作は選択されたメモリセルの制御ゲートには第2の書込みベリファイ電位 $V_{VER(2)}$ が印加されて、非選択メモリセルには、通常

の読出し動作と同様の例えば5 Vが印加されることになる。【0056】この場合のデータ比較の方法は、次の通りである。一つのNANDセルの8ビットのうち選択されたセルのしきい値が3.5 V以上の書込み過剰状態になっていれば、ビット線電流が流れないから、“1”データに読まれる。したがって、NANDセルの8ビットのデータ読出しを順次行い、“0”データが“1”データに変わっているものがなければ、書込み過剰はないと判断する。この判断結果に基づいて、ベリファイ終了検知回路36は終了信号“1”を出力して、データ書込み動作を終了する。

【0057】以上のようにして一つのNANDセルについて第1、第2の書込みベリファイ動作を含む書込み動作が終了すると、次のNANDセルについて同様にデータ書込みと第1、第2の書込みベリファイ動作が繰り返される。なおデータ書込みとベリファイ動作のタイミングは、選択されたメモリセルアレイ・ブロック内のすべてのNANDセルについてデータ書込みと第1の書込みベリファイ動作が終了した後に、まとめて第2の書込みベリファイが行われるようにしてもよい。以上の各動作モードでの各部の電位関係をまとめて表2に示す。

【0058】

【表2】

|      | 消 去 | 消 去<br>ペリファイ | 書込み<br>"1" | 書込み<br>"0" | 第1の書込み<br>ペリファイ | 第2の書込み<br>ペリファイ | 第1の書込み<br>ペリファイ<br>(2) |
|------|-----|--------------|------------|------------|-----------------|-----------------|------------------------|
| ビット線 | —   | 1. 5V        | 10V        | 0V         | 1. 5V           | 1. 5V           | 1. 5V                  |
| SG1  | 0V  | 5 V          | 10V        | 10V        | 5 V             | 5 V             | 5 V                    |
| CG1  | 0V  | 0 V          | 10V        | 10V        | 5 V             | 5 V             | 3. 5V                  |
| CG2  | 0V  | 0 V          | 20V        | 20V        | 1. 5V           | 3. 5V           | 3. 5V                  |
| CG3  | 0V  | 0 V          | 10V        | 10V        | 5 V             | 5 V             | 3. 5V                  |
| CG4  | 0V  | 0 V          | 10V        | 10V        | 5 V             | 5 V             | 3. 5V                  |
| CG5  | 0V  | 0 V          | 10V        | 10V        | 5 V             | 5 V             | 3. 5V                  |
| CG6  | 0V  | 0 V          | 10V        | 10V        | 5 V             | 5 V             | 3. 5V                  |
| CG7  | 0V  | 0 V          | 10V        | 10V        | 5 V             | 5 V             | 3. 5V                  |
| CG8  | 0V  | 0 V          | 10V        | 10V        | 5 V             | 5 V             | 3. 5V                  |
| SG2  | 0V  | 5 V          | 0V         | 10V        | 5 V             | 5 V             | 5 V                    |
| ソース線 | —   | 0 V          | 0V         | 0V         | 0 V             | 0 V             | 0 V                    |
| 基板   | 20V | 0 V          | 0V         | 0V         | 0 V             | 0 V             | 0 V                    |

【0059】表2では、書込みおよび書込みペリファイ時、制御ゲートCG2が選ばれた場合について示している。またまとめて第2の書込みペリファイを行う場合を、表2では第2の書込みペリファイ(2)として示している。

【0060】これまで説明した消去ペリファイ、第1、第2の書込みペリファイが成功しなかった場合、すなわち消去ペリファイを所定回数繰り返しても消去できなかった場合、第1の書込みペリファイを所定回数繰り返しても書込み不足状態が解消できなかった場合、および第2の書込みペリファイにより書込み過剰状態があった場合には、その選択されたメモリセルアレイ・ブロックはその後使用しないように、ブロック管理回路35によってプロテクトをかけるようにする。データ読出し動作

は、従来と同様である。次に本発明での書込みペリファイのシーケンスの例を4つ、図12以下を用いて説明する。

【0061】図12および図13は第1の例である。図に示すように、選択されたワード線に繋がる全てのメモリセル（これを1ページという）にデータを書き込んだ後、その選択されたワード線に第1の書込みペリファイ電位 $V_{VER(1)}$ を印加し、そのNANDセル内の非選択ワード線に $V_{CC}$ （例えば5V）を印加して読出すことにより、書込み不足状態をチェックする。その後同様に、その選択ワード線に第2の書込みペリファイ電位 $V_{VER(2)}$ を印加し、そのNANDセル内の非選択ワード線に $V_{CC}$ を印加して読出すことにより、書込み過剰状態をチェックする。

40

50

【0062】次にもし書込み不足状態のセルがあり、書込み過剰状態のセルがなければ、再びその選択ページにデータを書込み、上記と同様に書込み不足状態および書込み過剰状態をチェックする。書込み不足状態のセルも書込み過剰状態のセルもなければ、次のページへの次のデータ書込みを行う。書込み過剰状態のセルがあれば、そのNANDセルもしくはNANDセルブロックの今後の使用を禁止するプロテクトをかける。そして次のNANDセルもしくはNANDセルブロックを選択して、その中のNANDセルに対して、書込み途中のデータを初

めから書込み直すことになる。ただし、図12では書込み不足状態をチェックしてから書込み過剰状態をチェックしたが、これは逆でもよい。  
【0063】図14および図15は第2の例である。選択ページにデータを書き込んだ後、その選択ワード線に第1の書込みベリファイ電位 $V_{ver(1)}$ を印加し、そのNANDセル内の非選択ワード線に $V_{cc}$ を印加して読出すことにより、書込み不足状態をチェックする。書込み不足状態のセルがあれば、再度その選択ページに書込みを行

う。書込み不足状態のセルがなくなれば次のページを書込み、同様の書込み不足状態をチェックする。  
【0064】そして少なくとも1つ以上のNANDセルへのデータ書込みが終了した状態で、そのNANDセルの全てのワード線に第2の書込みベリファイ電位 $V_{ver(2)}$ を印加して読出しを行い、セル電流が流れか否かにより書込み過剰状態をチェックする。書込み過剰のセルがあれば、そのNANDセルもしくはNANDセルブロックの今後の使用を禁止するプロテクトをかける。そして次のNANDセルもしくはNANDセルブロックを選択して、その中のNANDセルに対して、書込み途中のデ

ータを初めから書込み直す。  
【0065】図16および図17は第3の例である。ある選択ページにデータを書き込んだ後、その選択ワード線に第1の書込みベリファイ電位 $V_{ver(1)}$ を印加し、そのNANDセル内の非選択ワード線に $V_{cc}$ を印加して読出すことにより、書込み不足状態をチェックする。書込み不足状態のセルがあれば、再度その選択ページに書込みを行う。

【0066】書込み不足状態のセルがなくなれば、次に選択ワード線に第2の書込みベリファイ電位 $V_{ver(2)}$ を印加し、そのNANDセル内の非選択ワード線に $V_{cc}$ を印加して読出すことにより、書込み過剰状態をチェックする。書込み過剰状態のセルがなければ、次のページへの次のデータ書込みを行い、また書込み過剰状態のセルがあれば、そのNANDセルもしくはNANDセルブロックの今後の使用を禁止するプロテクトをかける。そして次のNANDセルもしくはNANDセルブロックを選択して、その中のNANDセルに対して、書込み途中のデータを初めから書込み直す。

【0067】図18および図19は第4の例である。選

択セルブロック中のあるNANDセルに対してデータを書き込んだ後、そのNANDセルのワード線を順次選択して第1の書込みベリファイ電位 $V_{ver(1)}$ を印加し、そのNANDセル内の非選択ワード線に $V_{cc}$ を印加して読出すことにより、書込み不足状態をチェックする。さらにその選択ワード線に第2の書込みベリファイ電位 $V_{ver(2)}$ を印加し、その他の非選択ワード線に $V_{cc}$ を印加して読出すことにより書込み過剰状態をチェックする。

【0068】次に、もし書込み過剰状態のセルがなく、書込み不足状態のセルがあれば、そのNANDセルに対して順次データを再書込みし、同様に書込み過剰状態と書込み不足状態をチェックする。書込み不足状態のセルも書込み過剰状態のセルもなければ、次のNANDセルに次のデータ書込みを行う。書込み過剰状態のセルがあれば、そのNANDセルもしくはNANDセルブロックの今後の使用を禁止するプロテクトをかける。そして次のNANDセルもしくはNANDセルブロックを選択して、その中のNANDセルに対して、書込み途中のデータを初めから書込み直す。

【0069】図20および図21は、第4の例を若干変形した例である。この例に示すように、NANDセル全てに対して書込み不足状態をチェックしてから、もう一度NANDセル全てに対して全ワード線に第2の書込みベリファイ電位 $V_{ver(2)}$ を印加することにより、書込み過剰状態をチェックするようにしてもよい。また先に書込み過剰状態をチェックしてから、書込み不足状態をチェックしても良い。またNANDセルの中の全てのセルに対して書込み不足または過剰状態のチェックを行ってからプロテクトをかけなくても、書込み不足または過剰状態のセルを発見した時に直ぐにプロテクトをかけることにしてもよい。

【0070】以上のようにこの実施例によれば、データ消去のベリファイ動作を実行することにより、消去状態のメモリセルのしきい値電圧をある値より小さく設定することができる。これにより、“0”読出し時の速度が遅くならないようにすることができ、また“1”書込み後のしきい値が大きくなり過ぎるのが防止される。

【0071】またこの実施例ではデータ書込み時、1回の書込み時間を短くして書込みが不十分なメモリセルに対しては再度書込みを行うという操作を繰り返す。これによって、従来のように1回の書込み動作で確実に

“1”データを書き込む場合の製造プロセス等のばらつきに起因する過剰な書込み、すなわち“1”データのしきい値が不必要に高くなることが防止され、“1”データが書き込まれた全メモリセルのしきい値のばらつきを小さいものとすることができる。さらにメモリセルのしきい値が許容範囲の上限を越えているか否かも判断される。そして不良ビットが存在した場合には、ブロック単位でプロテクトをかけることによって、効率よくチップを使用することができる。この結果、非選択のメモリセ

ルが転送ゲートとして働くNANDセル型のEEPROMの信頼性が高くなる。

【0072】なお実施例では、第1、第2の書き込みベリファイ動作でのしきい値評価基準をそれぞれ1.5V、3.5Vとしたが、これは許容しきい値分布との関係で、他の適当な値に設定することが可能である。たとえば、第1の書き込みベリファイ電位 $V_{ver(1)}$ は $V_{ss}$ の上限値以上に設定し、第2の書き込みベリファイ電位 $V_{ver(2)}$ は $V_{cc}$ の下限値以下に設定すると望ましい。1回の書き込み時間についても同様であり、例えば最終的なしきい値分布をより小さいものとするためには、1回の書き込み時間をより短くして、小刻みに書き込み／ベリファイ動作を繰り返すようにすればよい。消去ベリファイ動作時のチェック時間についても同様に必要に応じて適当な値に設定することができる。

【0073】以上の実施例は、選択メモリセルの制御ゲートに書き込み不足状態を確認する第1の書き込みベリファイ電位を印加したベリファイ動作と、同じく選択メモリセルの制御ゲートに書き込み過剰状態を確認する第2の書き込みベリファイ電位を印加したベリファイ動作とを、順に行った。したがって以上の実施例では、非選択メモリセルは単に転送ゲートとしてのみ用いていることになる。

【0074】次に、データ書き込み時の書き込み不足状態を確認するベリファイ動作と書き込み過剰状態を確認するベリファイ動作を同時に行うようにした実施例を説明する。このとき、選択メモリセルの制御ゲートには書き込み不足状態を確認するための第1の書き込みベリファイ電位を印加し、同時に非選択メモリセルの制御ゲートには書き込み過剰状態を確認するための第2の書き込みベリファイ電位を印加する。具体的なEEPROM構成は、図1～図4は先の実施例と同じである。

【0075】先の実施例の図5に対応する部分の構成は、図22となる。すなわち比較回路23のインバータ231、NANDゲート232、インバータ233の部分は、一つのNORゲート230に置き換えられる。

【0076】先の実施例の図6に対応する部分は、図23のようになる。図6では、第1のベリファイ電位供給回路28、が書き込みベリファイ制御信号W-VERIFY(1)とアドレス信号aiの論理を取り、第2のベリファイ電位供給回路28、が書き込みベリファイ制御信号W-VERIFY(2)とアドレス信号aiの論理を取ったのに対して、この実施例では、第1のベリファイ電位供給回路28、が書き込みベリファイ制御信号W-VERIFYとアドレス信号aiの論理を取り、第2のベリファイ電位供給回路28、が同じ書き込みベリファイ制御信号W-VERIFYとアドレス信号aiの論理を取る。

【0077】先の実施例の図7はそのままよいが、この実施例では、図24のように構成する。すなわち、消去信号ERASEおよび消去ベリファイ制御信号E-VERIFYの

論理により制御ゲートに消去ベリファイ電位 $V_{ver(2)}$ を与えるようにし、読出し信号READとアドレス信号aiの論理により制御ゲートを接地電位にするように、消去／読出し制御回路28、を構成する。

【0078】またこのとき、消去ベリファイ電位 $V_{ver(2)}$ として動作電源に対して逆極性の電位を用いる場合には、図に示すように、トランジスタQD8、QD9、QD10、QE3、QD10'、QE3'に貫通電流が流れないように、これらのウェルまたは基板にも消去ベリファイ電位 $V_{ver(2)}$ を与える。先の実施例の図8に対応する部分は、図25に示すように、制御信号が一つの書き込みベリファイ制御信号W-VERIFYになる。

【0079】同様に先の実施例の図9に対応する部分は、図26に示すように、二つの書き込みベリファイ制御信号W-VERIFY(1)、W-VERIFY(2)の論理積を取る部分がなくなり、一つの書き込みベリファイ制御信号W-VERIFYがゲートG14に入る。

【0080】先の実施例の図10のベリファイ終了検知回路はこの実施例でも変わらないが、図27は、このベリファイ終了検知回路の出力とデータ入力との論理をとる部分を示している。

【0081】この実施例のEEPROMでのデータ消去および消去ベリファイの動作は、基本的に先の実施例と変わらない。図24の制御回路において、消去／読出し制御回路28、に消去信号ERASEと消去ベリファイ信号E-VERIFYが入り、スイッチングMOSトランジスタQE3がオンになって、アドレスとは無関係に選択されたNANDセル内の全てのメモリセルの制御ゲートが0Vに設定される。またその制御ゲートに繋るトランジスタQD8、QD9、QD10、QE3、QD10'、QE3'のウェル電位が、 $V_{ver(2)}$ （例えば-1V）に設定される。

【0082】選択ゲートSG1、SG2も同時に、図26の制御回路に消去ベリファイ信号E-VERIFYが入ることにより選択され、例えば5Vに設定される。ビット線には例えば、1.5Vが与えられ、ソース線は0Vとされる。

【0083】このとき、選択ゲートSG1、SG2が5Vになっている時間は、消去したメモリセルのしきい値がある程度負になっていたらデータ“0”が読み出せる時間に設定される。これは図26の遅延回路DLを持つタイマ回路28、によって設定される。設定された時間にデータ“0”が読み出されない場合には、再度データ消去を行い、条件を満たすまで同様のベリファイ動作を繰り返す。データ書き込みも先の実施例と同じであり、データ書き込み後書き込みベリファイ動作が行われる。

【0084】この実施例においても、データ“1”が書かれたメモリセルのしきい値が所望の範囲に入っているか否かが第1、第2の書き込みベリファイ電位 $V_{ver(1)}$ 、 $V_{ver(2)}$ によってチェックされる。第1の書き込みベリファイ電位 $V_{ver(1)}$ によって許容しきい値範囲の下限がチ

チェックされ、第2の書込みベリファイ電位 $V_{VER(2)}$ によって許容しきい値範囲の上限がチェックされるが、この動作がこの実施例では同時に行われる。具体的には、第1の書込みベリファイ電位 $V_{VER(1)}$ を選択ワード線に、第2の書込みベリファイ電位 $V_{VER(2)}$ を非選択ワード線に印加するベリファイ動作が、データ書込みが行われた8ワード線のメモリセルについて行われる。

【0085】その書込みベリファイ動作のタイミングを説明すると、まず先の実施例と同様に、センス信号SENSEが“H”レベルになり、センスアンプ回路22がイネーブルとなる。この時、列アドレス発生回路32により列アドレス $a_i$ が入力され、データ出力線にデータが出力されて、データラッチ回路26のデータがラッチ出力線に出力される。この書込みベリファイ動作のサイクルでは、図23の制御回路に書込みベリファイ信号W-VERIFYが入る。これとアドレス $a_i$ との論理によって、選択された制御ゲート線には、第1の書込みベリファイ制御回路28、によって、第1の書込みベリファイ電位 $V_{VER(1)} = 1.5V$ が供給される。同時に非選択制御ゲートには、第2の書込みベリファイ制御回路28、によってアドレス $a_i$ との論理によって、第2の書込みベリ

ファイ電位 $V_{VER(2)} = 3.5V$ が供給される。

【0086】この時図26の制御回路により同時に選択される選択ゲート線SG1、SG2は共に $V_{CC}$ に設定され、ビット線BLには1.5Vが与えられ、ソース線は0Vとされる。

【0087】これにより、選択されたメモリセルが“1”書込みがなされたものであって、そのしきい値が1.5Vを越えていれば選択されたメモリセルは非導通\*

＊となり、データ“1”が読み出される。“1”書込みがなされたがしきい値が1.5Vに達していない場合には、選択されたメモリセルは導通するから、データ“0”として読み出される。ただし、選択されたメモリセルが“0”書込みがなされたものであって、たとえそのしきい値が1.5Vを越えなかったとしても、その選択メモリセルを含むNANDセル内の非選択メモリセルに、以前に“1”書込みがなされたものでしきい値が3.5Vを越えているものとがあると、選択されたNANDセルは非導通となり、データ“1”が読み出されてしまう。

【0088】そして、書込みデータとベリファイ動作により読み出されたデータとはデータ比較回路23によって比較されて、ラッチ信号LATQMが“L”レベルから“H”レベルになることにより、比較結果がラッチされる。

【0089】すなわちラッチされたデータが“1”の時、読み出されたデータが“1”であれば、図22に示す比較回路23内の排他的NORゲート230で“0”となって、ラッチ回路234にラッチされる。ラッチされたデータが“1”であって、読み出されたデータが“0”であれば、ラッチ回路234には“1”がラッチされ、またラッチされたデータが“0”のとき、読み出されたデータが“0”または“1”であれば、ラッチ回路234はそれぞれ“0”、“1”をラッチする。以上のデータ比較回路23でのラッチデータの様子を表3にまとめて示す。

【0090】

【表3】

|              |   |   |   |   |
|--------------|---|---|---|---|
| データラッチ回路のデータ | 1 | 1 | 0 | 0 |
| センスアップ回路出力   | 1 | 0 | 1 | 0 |
| データ比較回路出力    | 0 | 1 | 1 | 0 |

【0091】データ比較回路23の出力に“1”が現れた場合には、ベリファイ終了検知回路36はベリファイ終了信号を出さないようにする。即ち図27において、書込みベリファイ信号W-VERIFYによりフリップフロップが初期化された後、データ比較回路23の出力に“1”が現れると、フリップフロップの出力は“0”にセットされる。データ比較が終了するまではデータ比較信号が“0”、したがってベリファイ終了信号は“0”出力であり、ベリファイが終了していない事を示す。全ビット線のデータ比較が終了すると、データ比較終了信号が“1”になるが、ベリファイが終了しないと信号DOUVが“H”レベルになる事によって、データ比較回路23のデータが再度データバッファ24を介し、データ入力線を介して新しいデータとしてデータラッチ回路26にラッチされる。

【0092】上の表から明らかなように、データ書込みが不十分であったアドレスについてのみ“1”データが再度ラッチされ、これによって再度“1”データ書込み動作が繰り返される。そして再度ベリファイ動作を行い、“1”書込み不十分のメモリセルがなくなると、データ比較回路23に1個も“1”が現れなくなり、フリップフロップは“0”にセットされたままになって、データ比較終了信号が“1”になったときに、書込みベリファイ動作が終了する。一方、データラッチ回路のデータが“0”のときに、データ比較回路出力が“1”である場合には、セルアレイブロック管理回路によってそのNANDセルにプロテクトがかけられる。

【0093】以上のようにして書込みベリファイ動作を含む一つの書込みが終了すると、次のNANDセルについて同様にデータ書込みと書込みベリファイ動作が繰り返



返される。以上の実施例の各動作モードでの各部の電位 \*【0094】  
関係をまとめて表4に示す。 \* 【表4】

|      | 消 去 | 消 去<br>ベリファイ | 書込み<br>"1" | 書込み<br>"0" | 第1の書込み<br>ベリファイ |
|------|-----|--------------|------------|------------|-----------------|
| ビット線 | —   | 1.5V         | 10V        | 0V         | 1.5V            |
| SG1  | 0V  | 5 V          | 10V        | 10V        | 5 V             |
| CG1  | 0V  | 0 V          | 10V        | 10V        | 3.5V            |
| CG2  | 0V  | 0 V          | 20V        | 20V        | 1.5V            |
| CG3  | 0V  | 0 V          | 10V        | 10V        | 3.5V            |
| CG4  | 0V  | 0 V          | 10V        | 10V        | 3.5V            |
| CG5  | 0V  | 0 V          | 10V        | 10V        | 3.5V            |
| CG6  | 0V  | 0 V          | 10V        | 10V        | 3.5V            |
| CG7  | 0V  | 0 V          | 10V        | 10V        | 3.5V            |
| CG8  | 0V  | 0 V          | 10V        | 10V        | 3.5V            |
| SG2  | 0V  | 5 V          | 0V         | 10V        | 5 V             |
| ソース線 | —   | 0 V          | 0V         | 0V         | 0 V             |
| 基板   | 20V | 0 V          | 0V         | 0V         | 0 V             |

表4では、書込みおよび書込みベリファイ時、制御ゲートCG2が選ばれた場合を示している。

【0095】次に、この実施例のEEPROMにおける別のベリファイ書込みのシーケンスの例を、図12、図13に対応させて図28、図29に示す。選択されたワード線に繋がる全てのメモリセルにデータを書き込んだ後、その選択されたワード線に第1の書込みベリファイ電位 $V_{VER(1)}$ を印加し、そのNANDセル内の非選択ワード線に第2の書込みベリファイ電位 $V_{VER(2)}$ を印加して読出しを行うことにより、書込み不足状態と書込み過剰状態を同時にチェックする。

【0096】もし書込み不足状態のセルがあり、書込み過剰状態のセルがなければ、再びその選択ページにデータを書込み、上記と同様に書込み不足状態および書込み過剰状態をチェックする。書込み不足状態のセルも書込み過剰状態のセルもなければ、次のページへの次のデータ書込みを行う。書込み過剰状態のセルがあれば、そのNANDセルもしくはNANDセルブロックの今後の使用を禁止するプロテクトをかける。そして次のNANDセルもしくはNANDセルブロックを選択して、その中のNANDセルに対して、書込み途中のデータを初めから書込み直すことになる。図30、図31は、先に実施例の図18、図19に対応するシーケンスの例である。

【0097】選択セルブロック中のあるNANDセルに対してデータを書き込んだ後、そのNANDセルのワード線を順次選択して第1の書込みベリファイ電位 $V$

$V_{VER(1)}$ を印加し、そのNANDセル内の非選択ワード線に第2の書込みベリファイ電位 $V_{VER(2)}$ を印加して読出すことにより、書込み不足状態と書込み過剰状態を同時にチェックする。

【0098】次に、もし書込み過剰状態のセルがなく、書込み不足状態のセルがあれば、そのNANDセルに対して順次データを再書込みし、同様に書込み過剰状態と書込み不足状態をチェックする。書込み不足状態のセルも書込み過剰状態のセルもなければ、次のNANDセルに次のデータ書込みを行う。書込み過剰状態のセルがあれば、そのNANDセルもしくはNANDセルブロックの今後の使用を禁止するプロテクトをかける。そして次のNANDセルもしくはNANDセルブロックを選択して、その中のNANDセルに対して、書込み途中のデータを初めから書込み直す。

【0099】以上のようにしてこの実施例によっても、先の実施例と同様にNANDセル型EEPROMの信頼性向上が図られる。また電源変動に対してもデータ読出しの信頼性が高いものとなる。この実施例での第1、第2の書込みベリファイ電位 $V_{VER(1)}$ 、 $V_{VER(2)}$ についても、先の実施例と同様に、 $V_{SS} < V_{VER(1)} < V_{VER(2)} < V_{CC}$ の範囲で他の適当な値に設定することが可能である。たとえば $V_{VER(2)}$ は $V_{CC}$ の下限値以下にし、 $V_{VER(1)}$ は $V_{SS}$ の上限値以上にすると望ましい。

【0100】なお、以上の実施例ではNANDセル型の

EEPROMについて説明したが、本発明はNORセル型のEEPROMに適用することもできる。前述したNANDセル型EEPROMにおいては、図32(a)に示すように、データ消去時のしきい値分布は0Vより低い所定値以下であればよいが、書き込み時のしきい値分布はV<sub>ss</sub>の上限値以上でV<sub>cc</sub>の下限値以下の範囲になることが必要である。従って、特に書き込み時のしきい値分布が重要であり、書き込み時に第1のペリファイ電位(0.5V)と第2のペリファイ電位(4.5V)を用いて、チェックを行う。先に説明した実施例でもこのチェックを行っている。

【0101】一方、NORセル型のEEPROMにおいては、図32(b)に示すように、書き込み時のしきい値分布はV<sub>cc</sub>の上限値以上であればよいが、データ消去時のしきい値分布はV<sub>ss</sub>の上限値以上でV<sub>cc</sub>の下限値以下の範囲になることが必要である。従って、特にデータ消去時のしきい値分布が重要であり、データ消去時に第1のペリファイ電位(4.5V)と第2のペリファイ電位(0.5V)を用いて、チェックを行う。第2のペリファイ電位を用いて、消去過剰状態をチェックする時には、選択したセルブロック内の全ワード線に0Vを印加して、過剰でなければビット線には電流が流れず、過剰であればビット線に電流が流れることを持って判断する。また、書き込み時にもペリファイ書き込みを用いるならば、第3のペリファイ電位(5.5V)を用いて、チェックを行う。

【0102】図33には、NORセルがマトリクス配置されたメモリセルアレイの等価回路を示している。NANDセルとは異なり、1つのメモリセルで1個のNORセルが構成されている。

【0103】NORセル型のEEPROMにおけるデータ消去ペリファイのシーケンスの例を、図34～図36に示す。図34は第1の例である。図に示すように、M番目のセルブロックを一括消去したのち、第1のペリファイ電位を印加して読出すことにより、消去状態をチェックする。消去不足状態のセルがなければ、次のページのデータ消去状態をチェックする。消去不足状態のセルがあれば、そのブロックに対して再度データ消去を行う。

【0104】次に、セルブロック内の全てのセルに対して、第2のペリファイ電位を印加して読出すことにより、消去過剰状態を一括してチェックする。消去過剰のセルがなければ次のブロックのチェックに移る。消去過剰のセルがあれば、このブロックの今後の使用を禁止するブロテクトをかける。そして、次のブロックのチェックに移る。

【0105】図35および図36は第2の例である。図に示すように、M番目のセルブロックを一括消去したのち、第1のペリファイ電位を印加して読出すことにより、消去状態をチェックする。ここで、消去不足状態の

セルがなければ、次のページのデータ消去状態をチェックする。消去不足状態のセルがあれば、そのブロックに対して再度データ消去を行う。そして、このブロックの全てを消去したら、次のブロックに移り、上記と同様にして全てのブロックの消去及び消去不足状態のチェックを行う。

【0106】次に、M番目のブロック内の全てのセルに対して、第2のペリファイ電位を印加して読出すことにより、消去過剰状態をチェックする。消去過剰のセルがなければ次のブロックのチェックに移る。消去過剰のセルがあれば、このブロックの今後の使用を禁止するブロテクトをかける。そして、次のブロックのチェックに移る。

【0107】このようにして、NORセル型のEEPROMの場合でも、NANDセル型EEPROMと同様に、書き込みか消去かの違いはあるものの、2つのペリファイ電位で消去状態および消去過剰状態をチェックすることにより、データ消去状態のメモリセルのしきい値を許容範囲内に収めることが可能となる。

【0108】以上実施例では、トンネル注入を利用したNANDセル型EEPROMおよびホットエレクトロン注入を利用したNORセル型EEPROMについて説明したが、セルのしきい値をある上限と加減の範囲に収めなければならない構成および動作原理のEEPROMであれば本発明は有効である。

【0109】また本発明のペリファイ動作を行う制御回路は、EEPROMチップ内に場合に限らず、チップ外部にある場合も有効である。すなわち、図1において、メモリセルアレイ21、センスアンプ22、制御ゲート制御回路28、ビット線制御回路31、内部アドレス発生回路32は少なくとも1チップ内にあるものとし、それ以外の部分はチップ外にあってもよい。

【0110】

【発明の効果】以上述べたように本発明によれば、許容しきい値範囲の下限および上限をチェックする書き込みペリファイ制御を行うことにより、メモリセルのしきい値を最適状態に設定して信頼性向上を図ったNANDセル型のEEPROMを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のNANDセル型EEPROMの構成を示す図。

【図2】メモリセルアレイの一つのNANDセルの平面図と等価回路図。

【図3】図2(a)のA-A'およびB-B'断面図。

【図4】メモリセルアレイの等価回路図。

【図5】図1の要部の具体的構成を示す図。

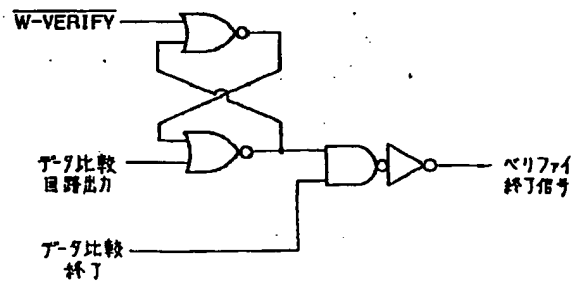
【図6】図1の制御ゲート制御回路の書き込みペリファイ制御部の構成を示す図。

【図7】図1の制御ゲート制御回路の消去ペリファイ制御部の構成を示す図。

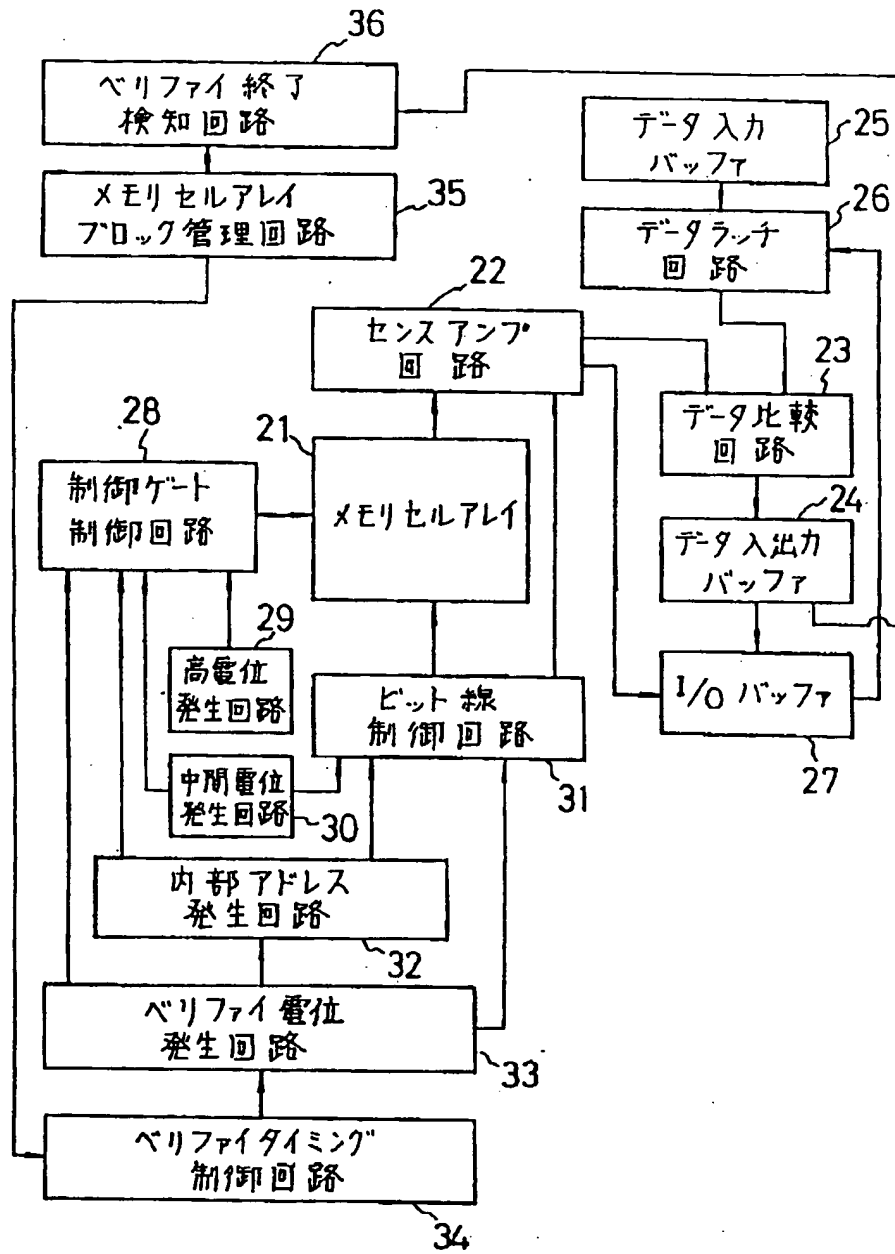
- 【図 8】 書き込みベリファイ電位発生回路を示す図。  
 【図 9】 選択ゲート制御回路部の構成を示す図。  
 【図 10】 ベリファイ終了検知回路の構成例を示す図。  
 【図 11】 書き込みベリファイ動作を説明するためのタイミング図。  
 【図 12】 本実施例での書き込みベリファイシーケンスの第 1 の例を示す図。  
 【図 13】 同シーケンスの後半を示す図。  
 【図 14】 書き込みベリファイシーケンスの第 2 の例を示す図。  
 【図 15】 同シーケンスの後半を示す図。  
 【図 16】 書き込みベリファイシーケンスの第 3 の例を示す図。  
 【図 17】 同シーケンスの後半を示す図。  
 【図 18】 書き込みベリファイシーケンスの第 4 の例を示す図。  
 【図 19】 同シーケンスの後半を示す図。  
 【図 20】 第 4 の例を変形した書き込みベリファイシーケンスを示す図。  
 【図 21】 同シーケンスの後半を示す図。  
 【図 22】 第 2 の実施例の図 5 に対応する部分の構成を示す図。  
 【図 23】 同実施例の図 6 に対応する部分の構成を示す図。  
 【図 24】 同実施例の図 7 に対応する部分の構成を示す図。  
 【図 25】 同実施例の図 8 に対応する部分の構成を示す図。  
 【図 26】 同実施例の図 9 に対応する部分の構成を示す図。  
 【図 27】 同実施例の図 10 に対応する部分の構成を示す図。  
 【図 28】 同実施例での図 12 に対応する書き込みベリファイシーケンスの例を示す図。

- 【図 29】 同シーケンスの後半を示す図。  
 【図 30】 同じく図 18 に対応する書き込みベリファイシーケンスの例を示す図。  
 【図 31】 同シーケンス後半を示す図。  
 【図 32】 書き込み時および消去時のしきい値分布を示す図。  
 【図 33】 NOR型のメモリセルの等価回路図。  
 【図 34】 NOR型における消去ベリファイシーケンスの第 1 の例を示す図。  
 【図 35】 NOR型における消去ベリファイシーケンスの第 2 の例を示す図。  
 【図 36】 同シーケンスの後半を示す図。  
 【符号の説明】  
 21…メモリセルアレイ、  
 22…センスアンプ回路、  
 23…データ比較回路、  
 24…データ入出力バッファ、  
 25…データ入力バッファ、  
 26…データラッチ回路、  
 27…I/Oバッファ、  
 28…制御ゲート制御回路、  
 29…高電位発生回路、  
 30…中間電位発生回路、  
 31…ビット線制御回路、  
 32…内部アドレス発生回路、  
 33…ベリファイ電位発生回路、  
 34…ベリファイタイミング制御回路、  
 35…メモリセルアレイ・ブロック管理回路、  
 36…ベリファイ終了検知回路、  
 281…高電位供給回路、  
 282…中間電位供給回路、  
 283…第 1 の書き込みベリファイ制御回路、  
 284…第 2 の書き込みベリファイ制御回路、  
 285…読出し/消去制御回路。

【図 10】

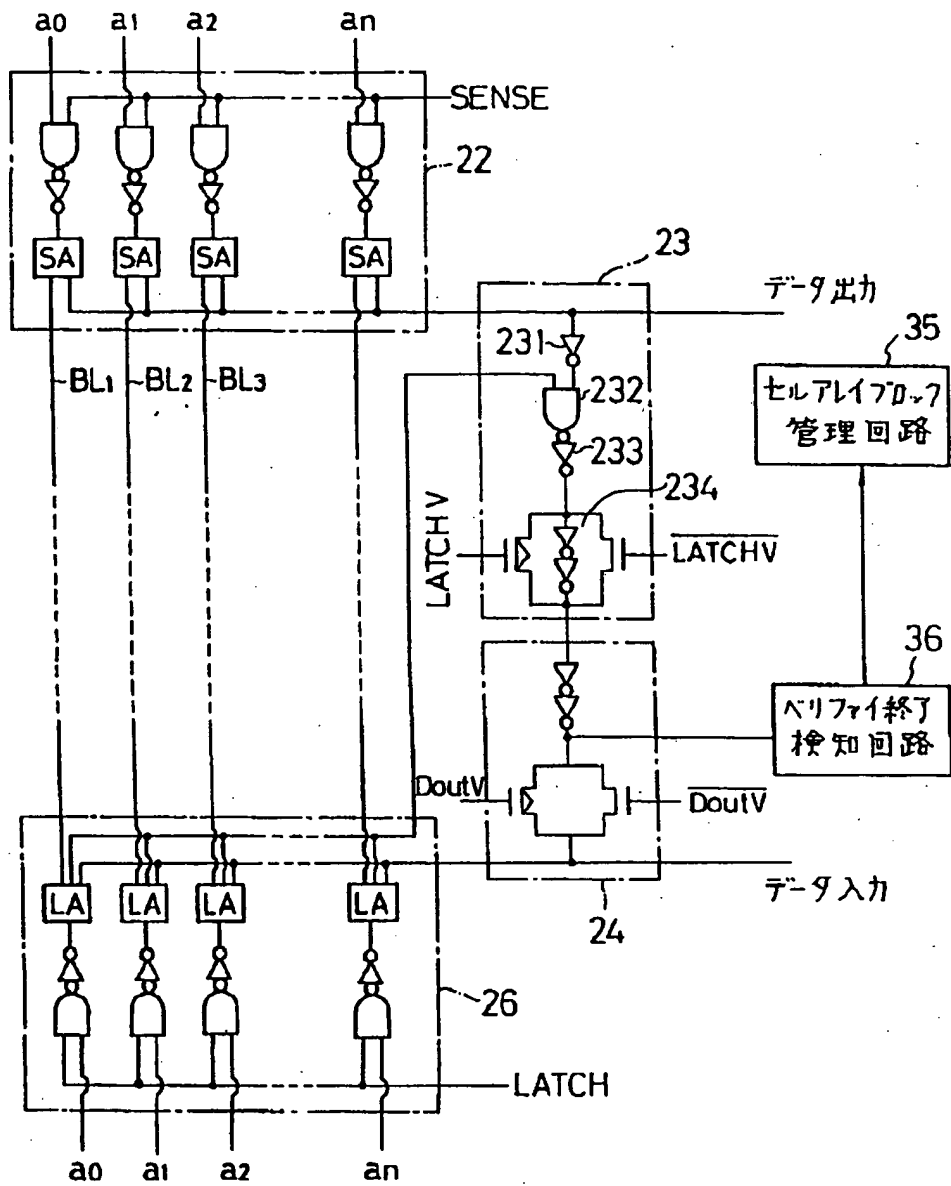


【図1】



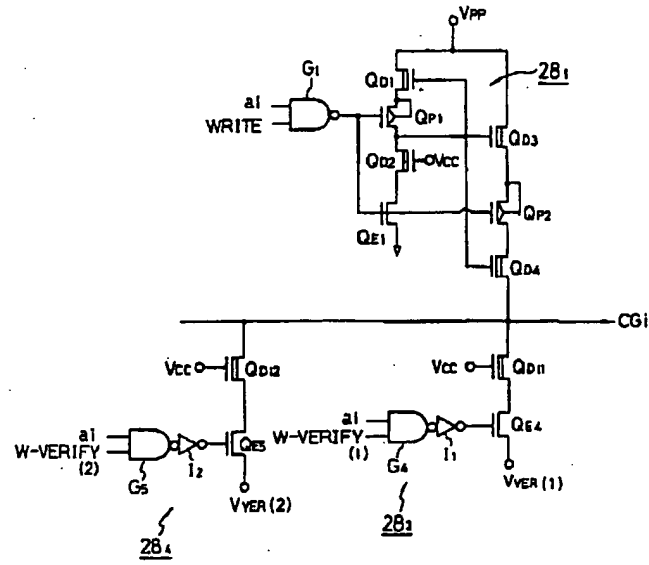


【図5】

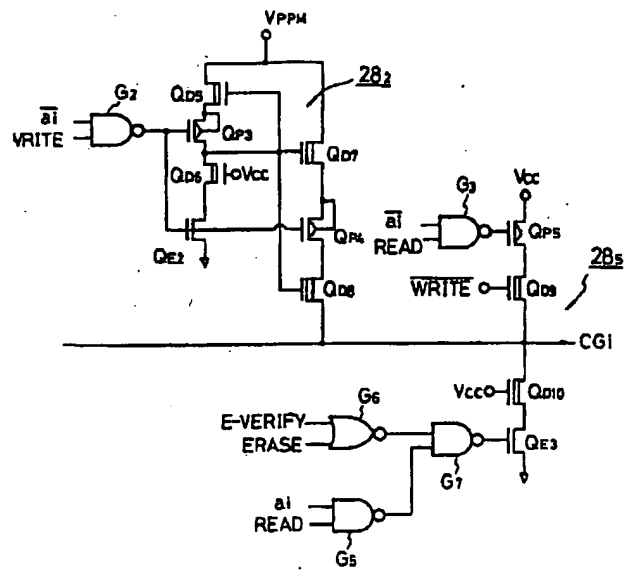


(21)

【図6】

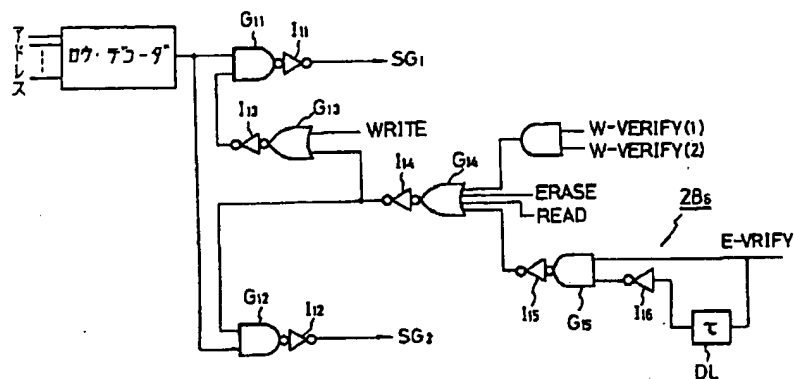


【図7】

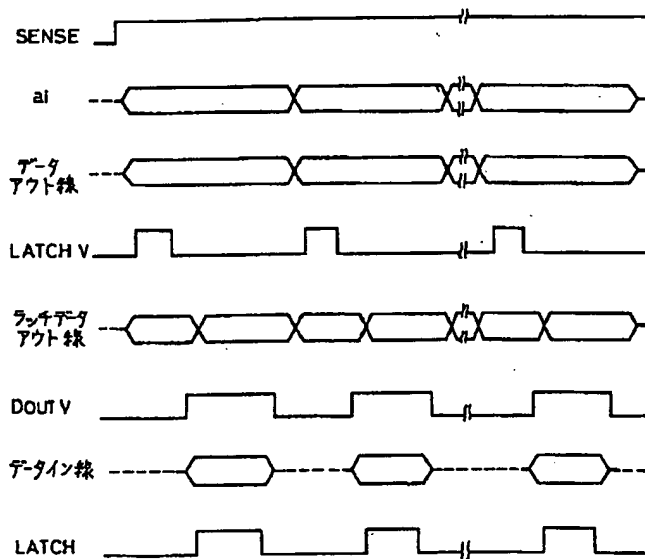


(22)

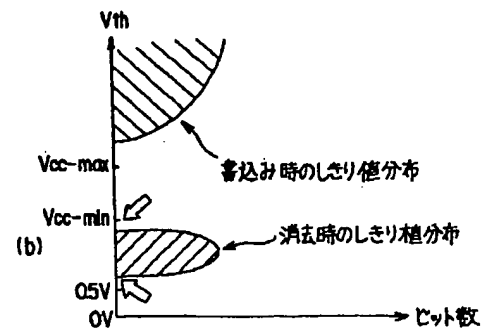
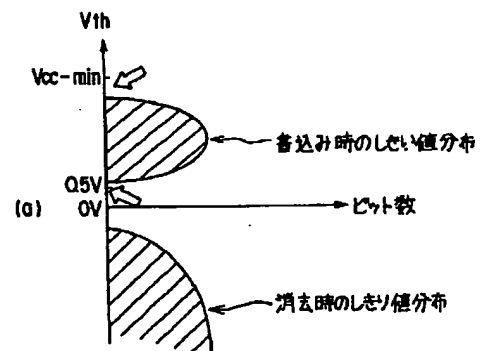
【図9】



【図11】



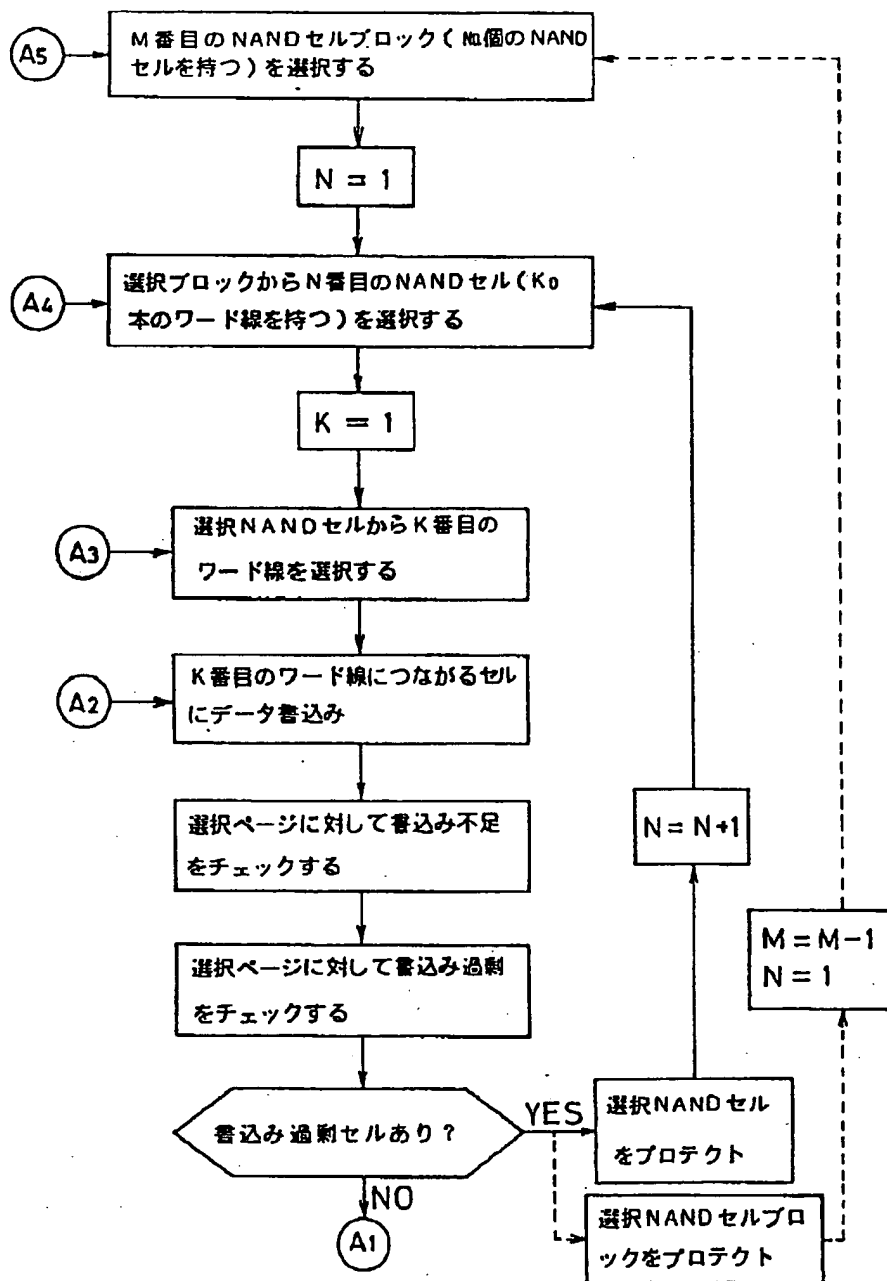
【図32】





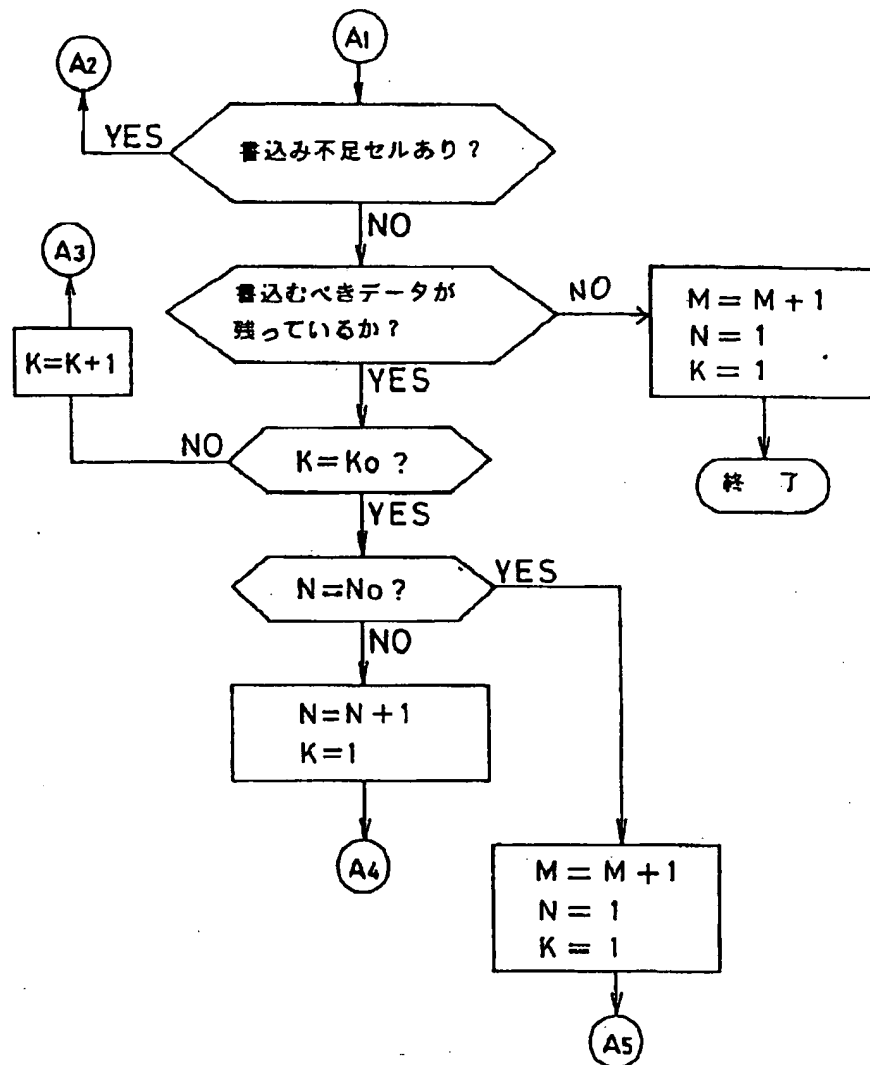
(23)

【図12】



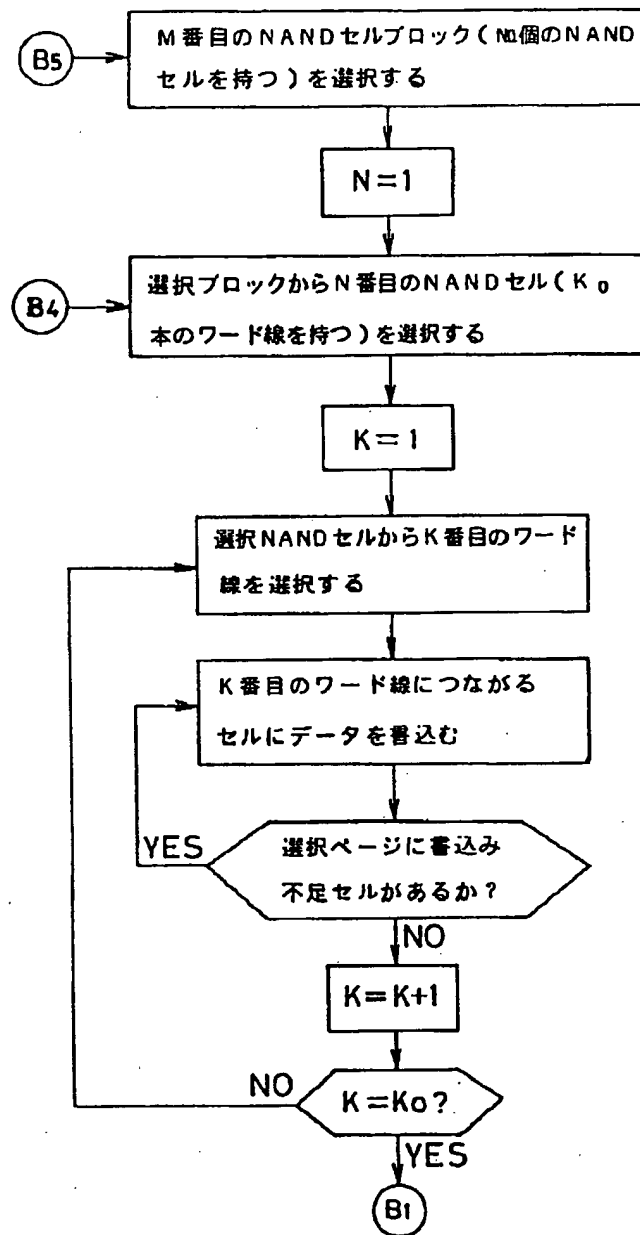
(24)

【図13】



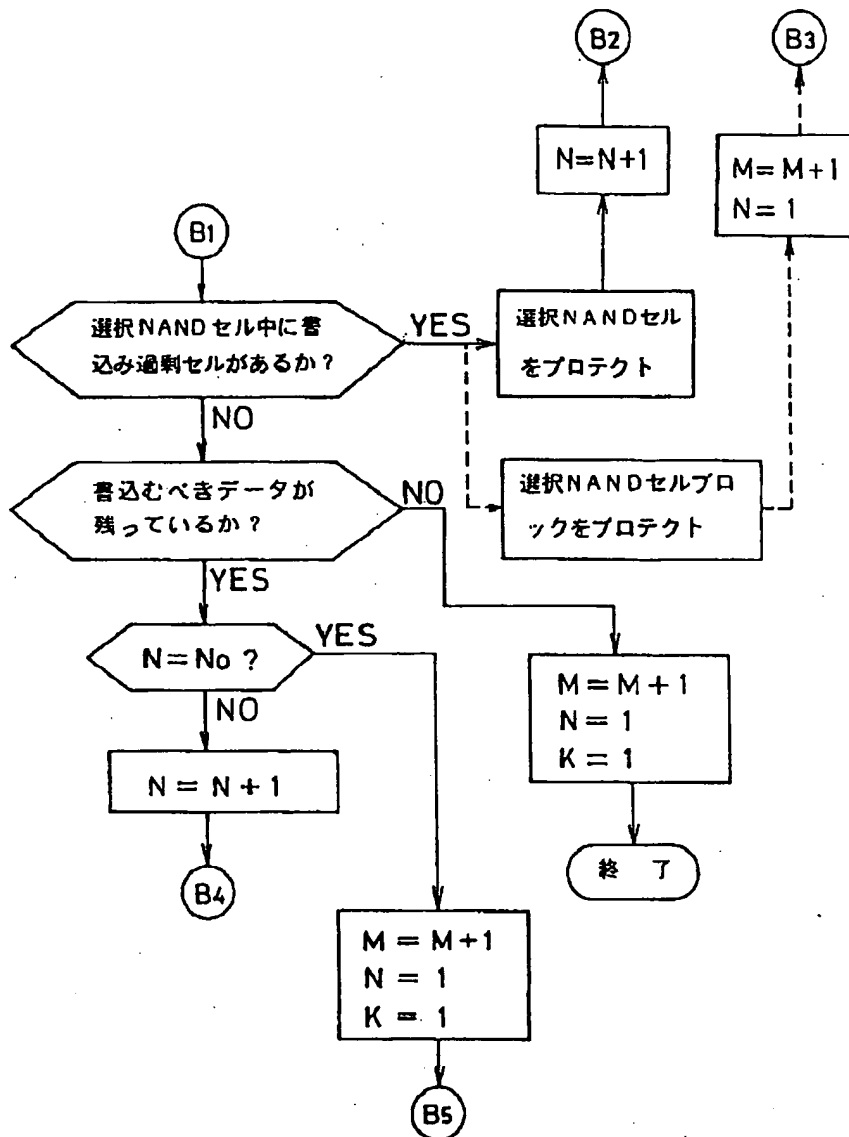
(25)

【図14】



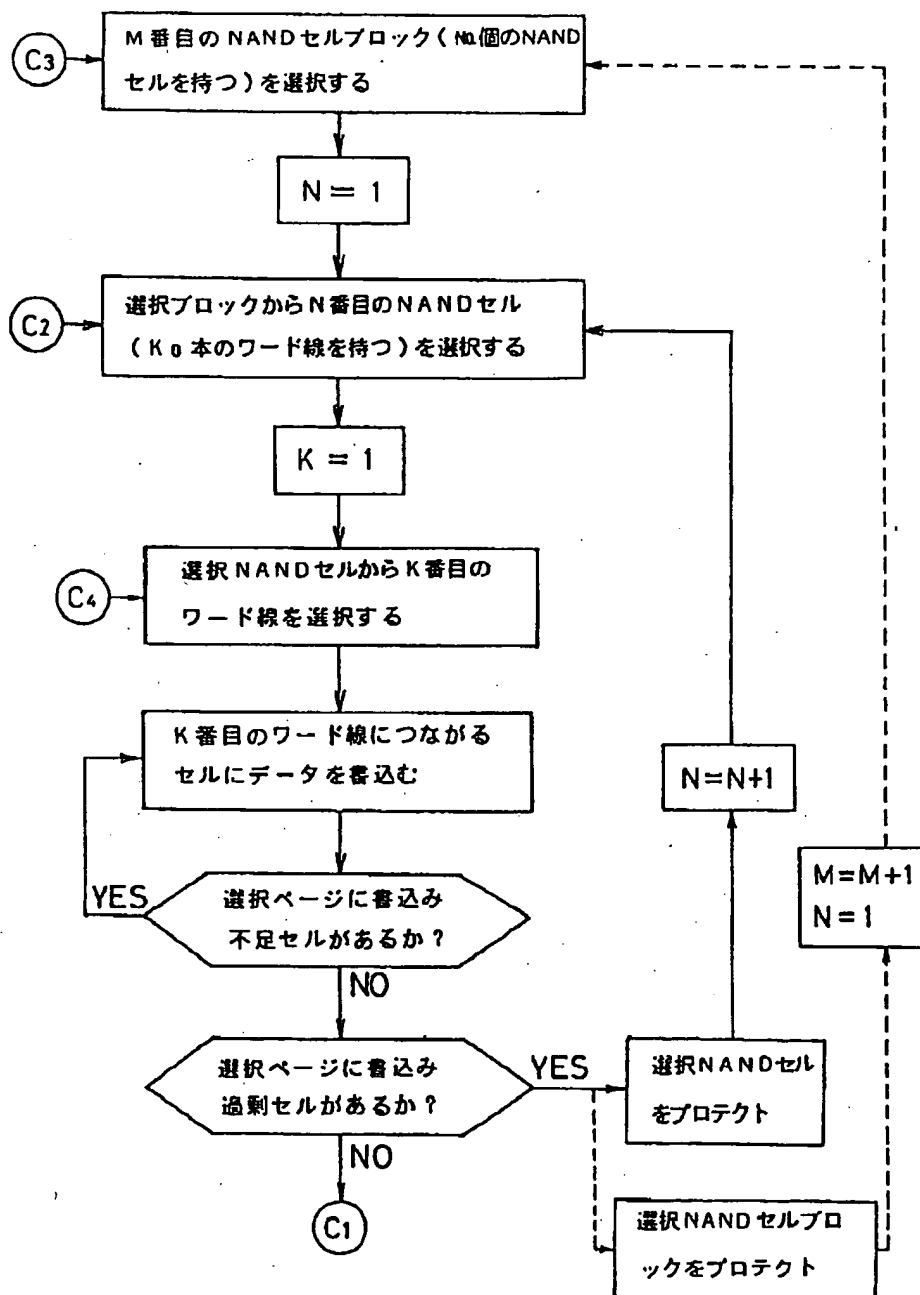
(26)

【図15】



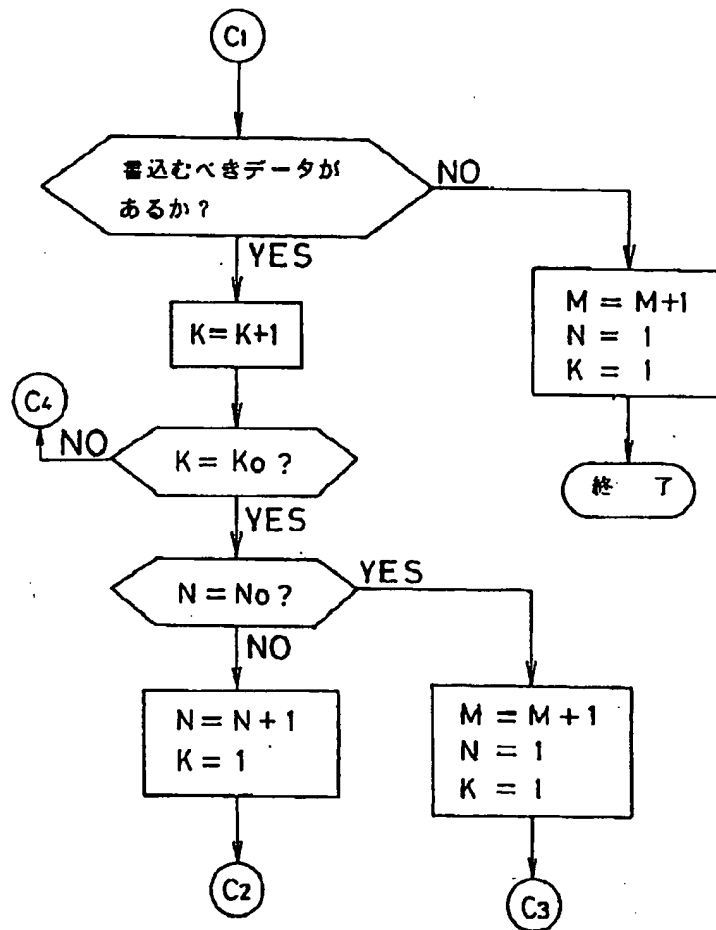
(27)

【図16】



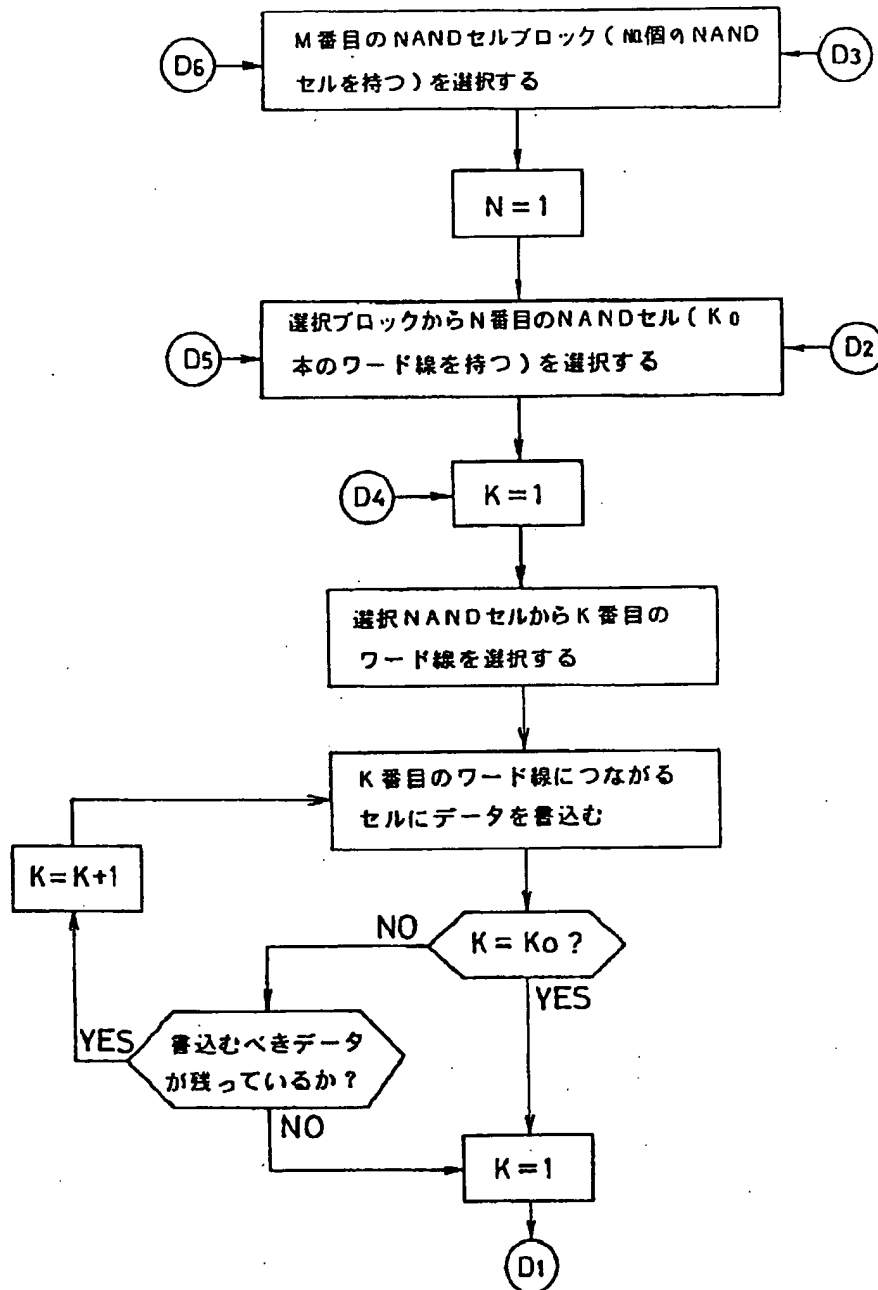
(28)

【図17】



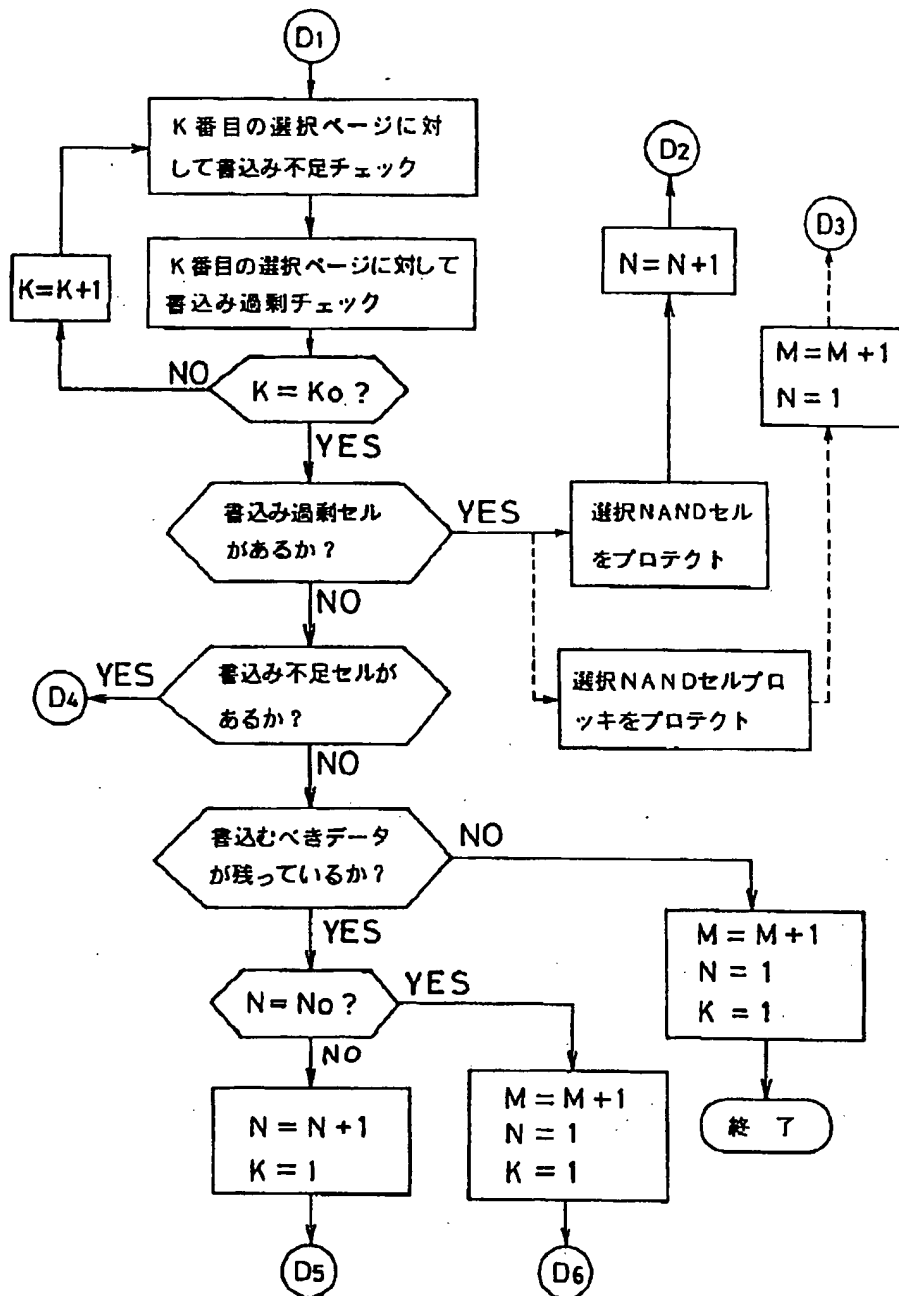
(29)

【図18】



(30)

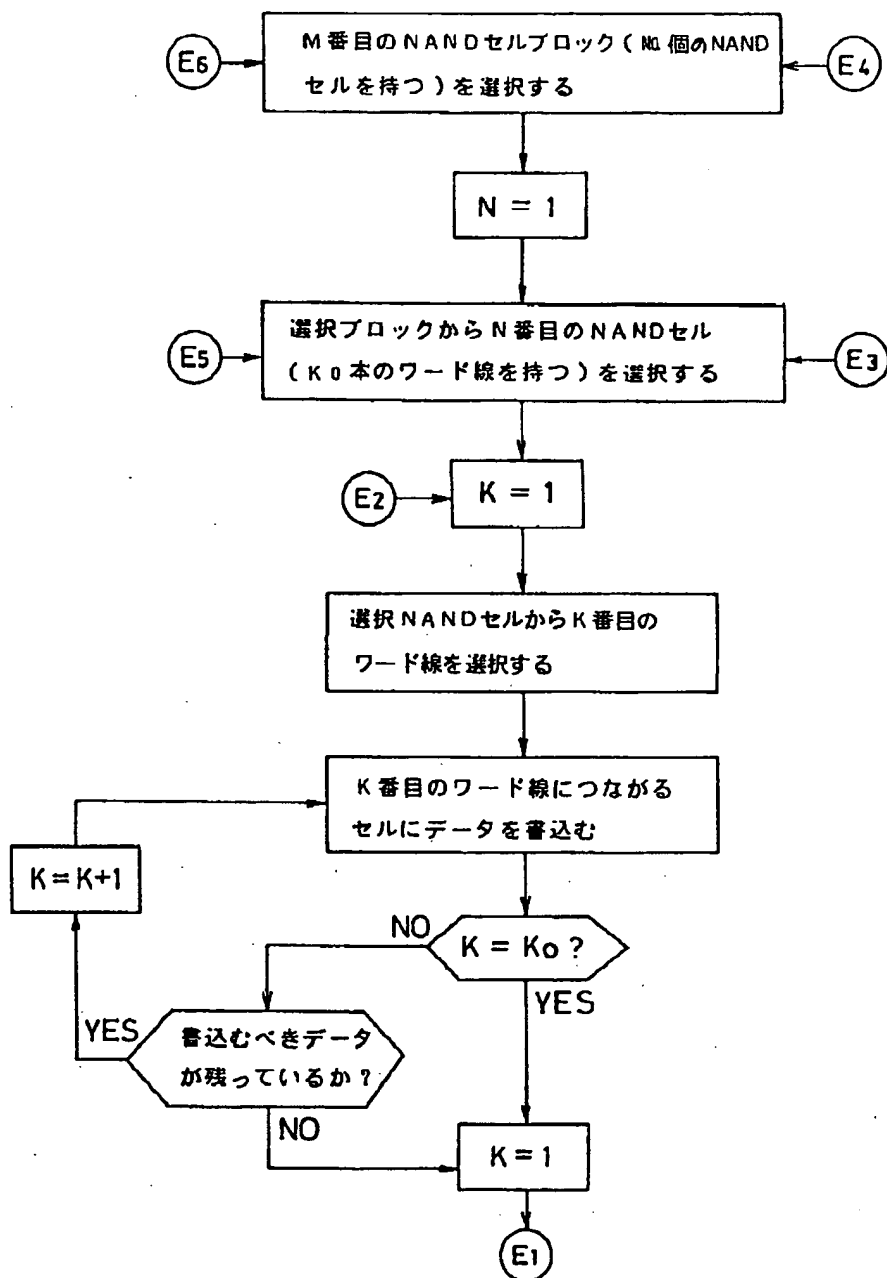
【図19】





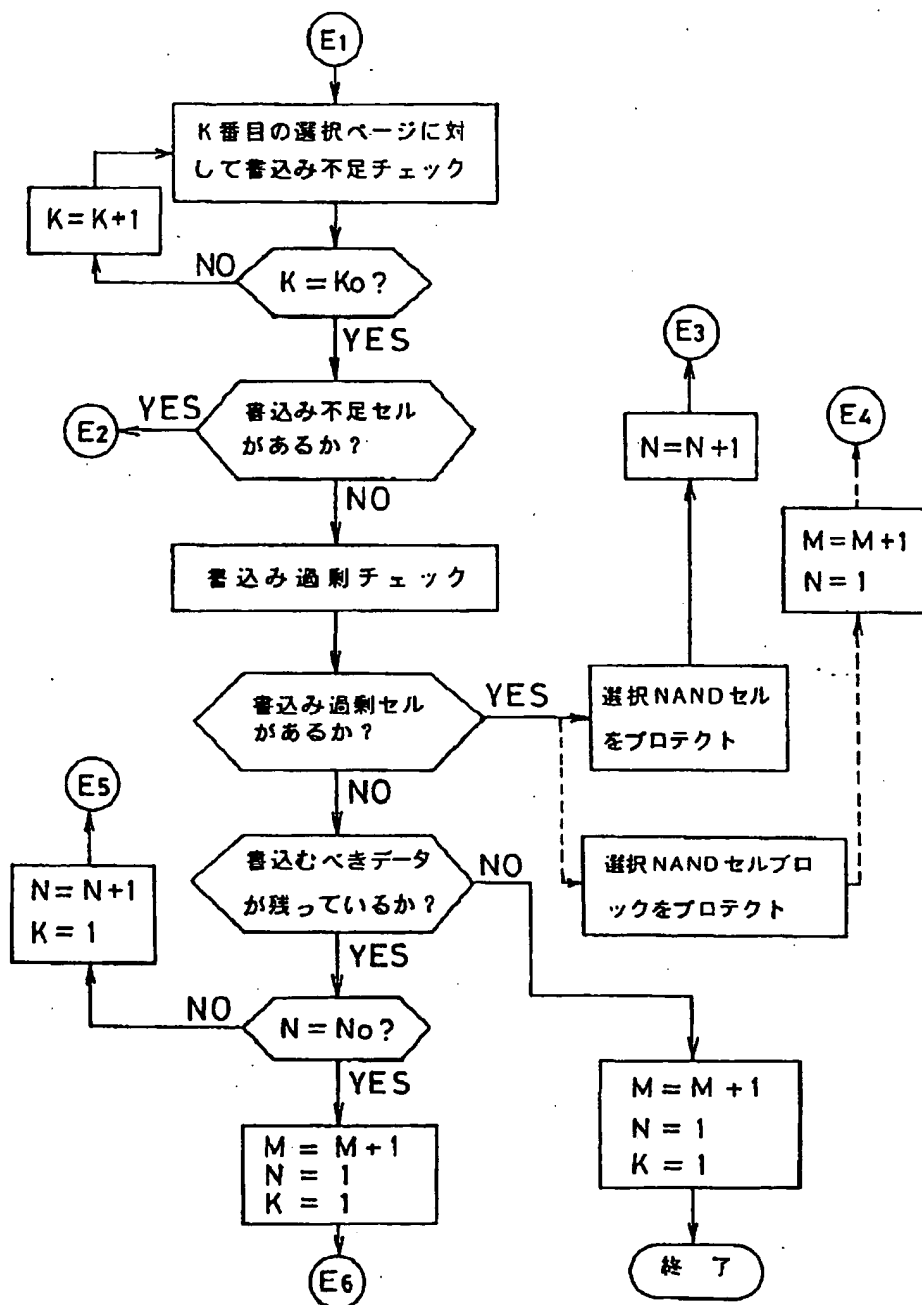
(31)

【図20】



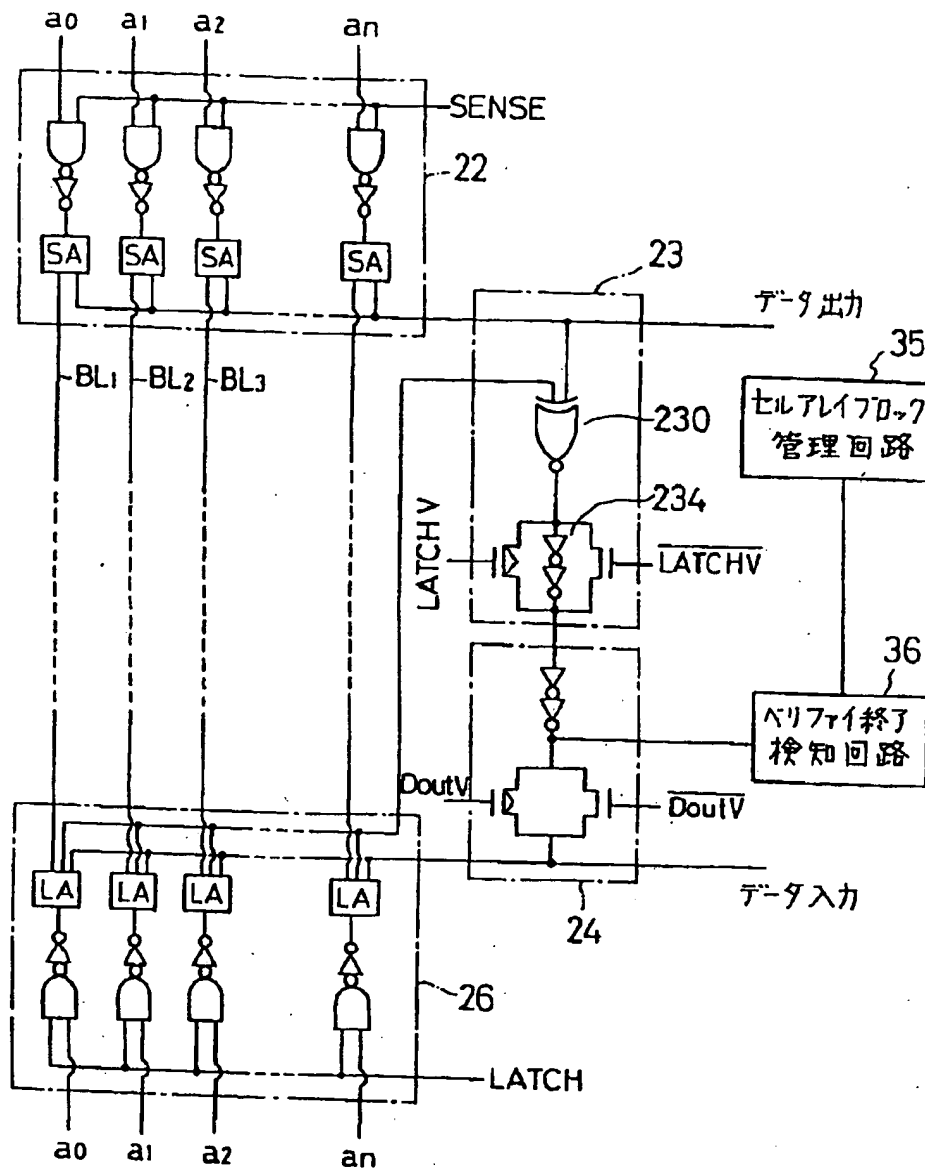
(32)

【図21】



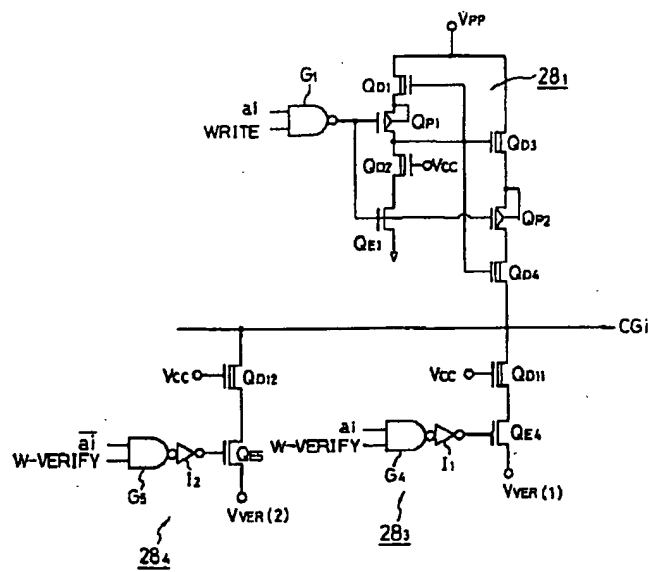
(33)

【図22】

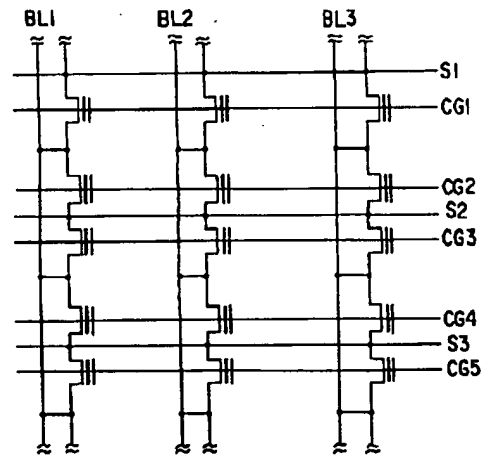


(34)

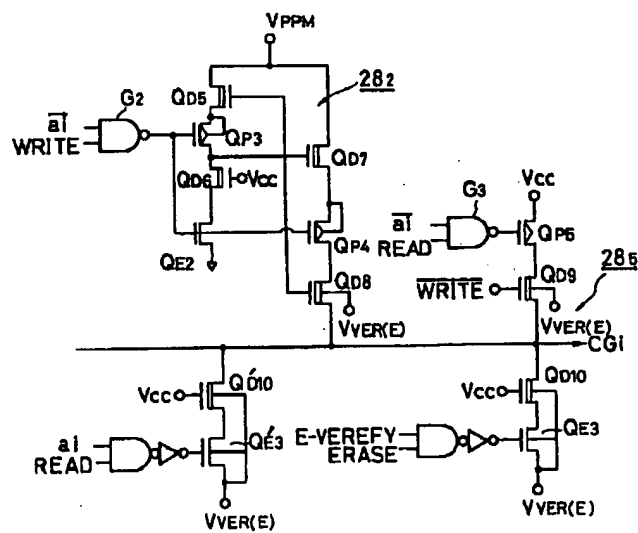
【図23】



【図33】

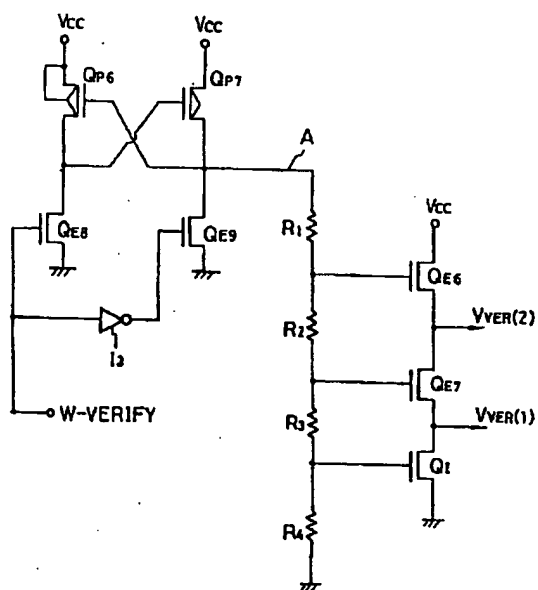


【図24】

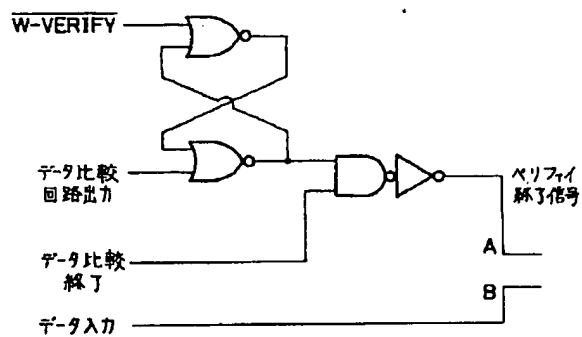


(35)

【図25】

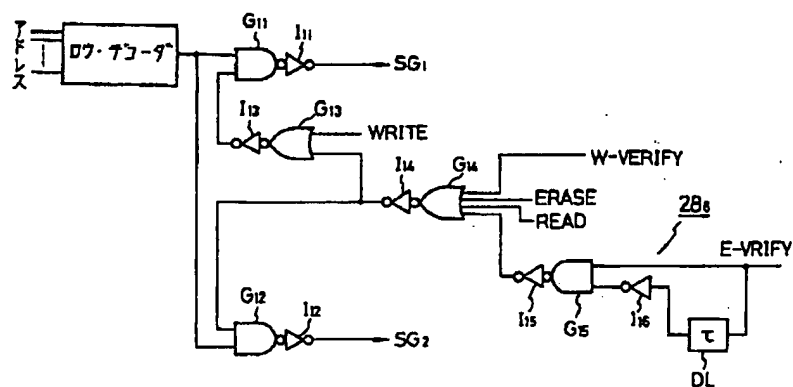


【図27】



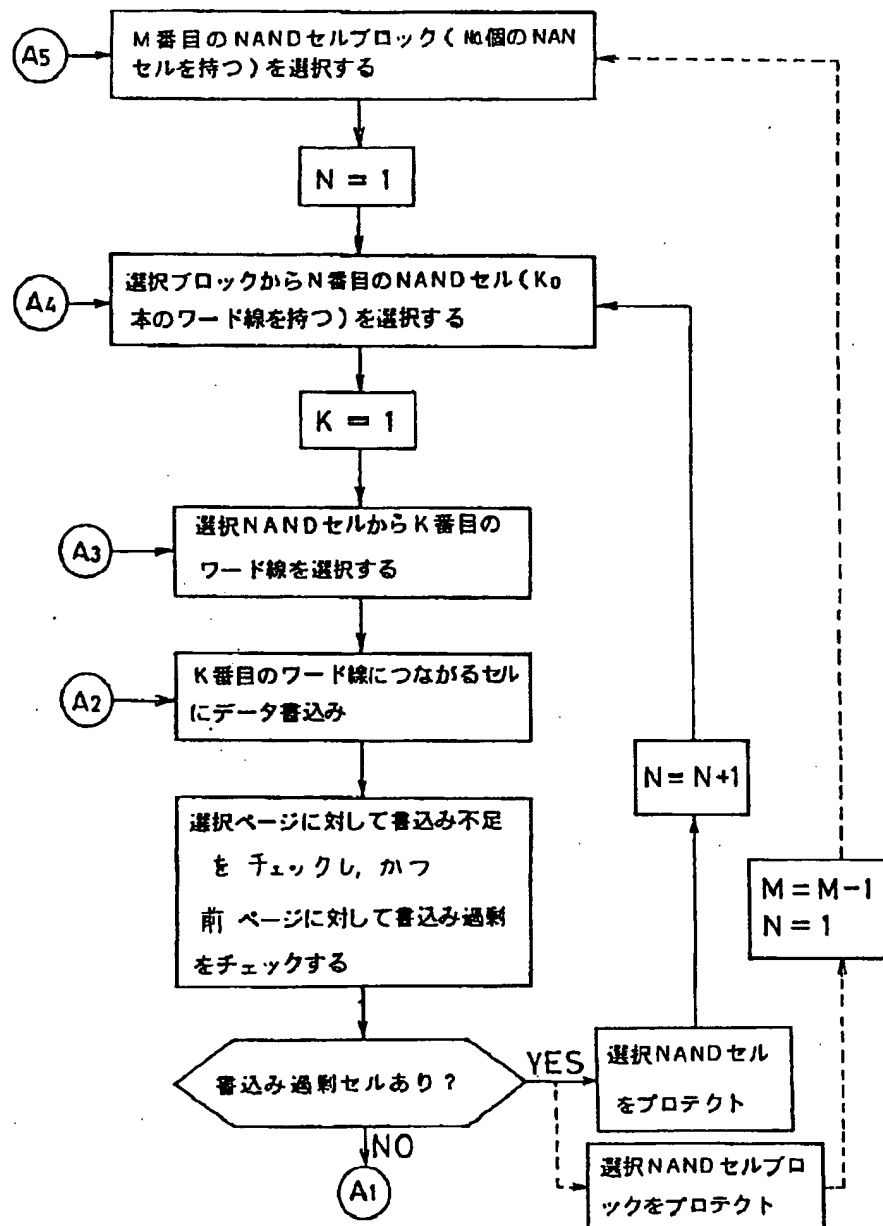
| B \ A | 1  | 0    |
|-------|----|------|
| 1     | OK | 67-度 |
| 0     | OK | NG   |

【図26】



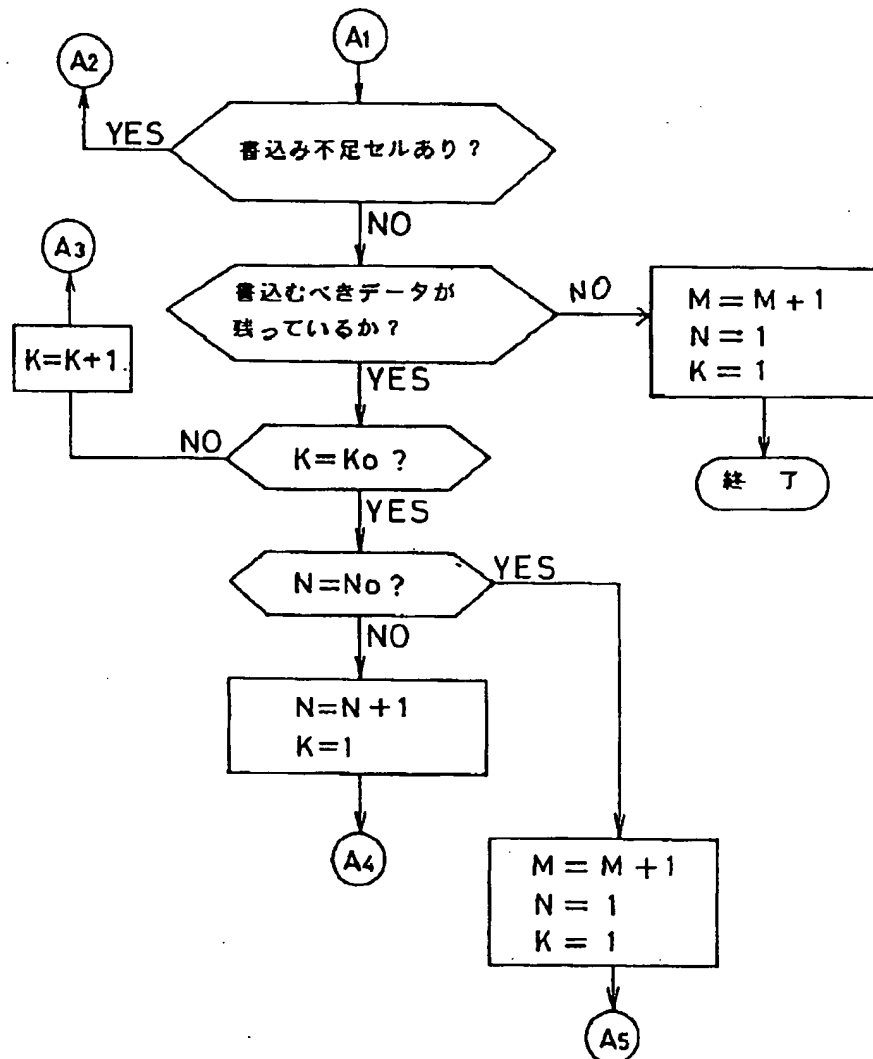
(36)

【図28】



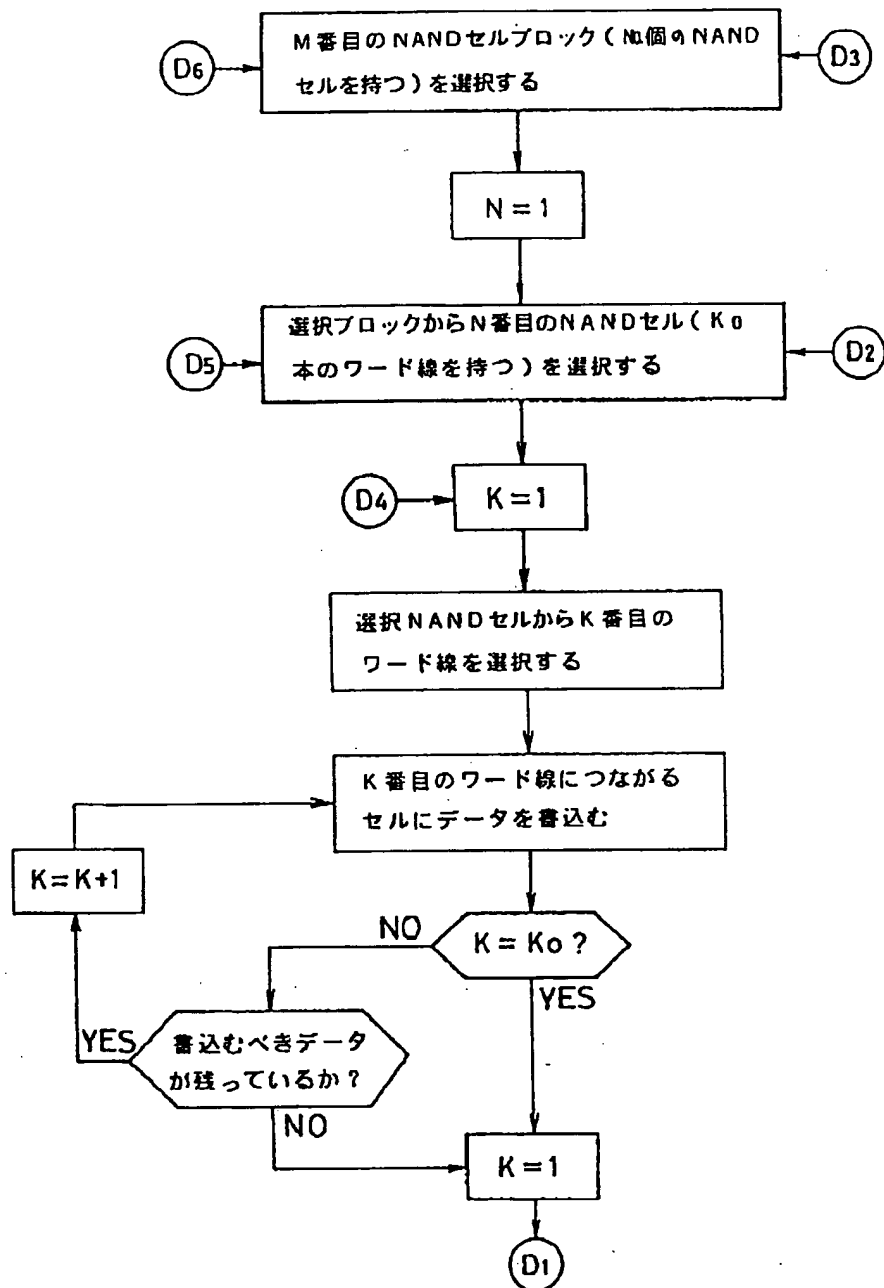
(37)

【図29】



(38)

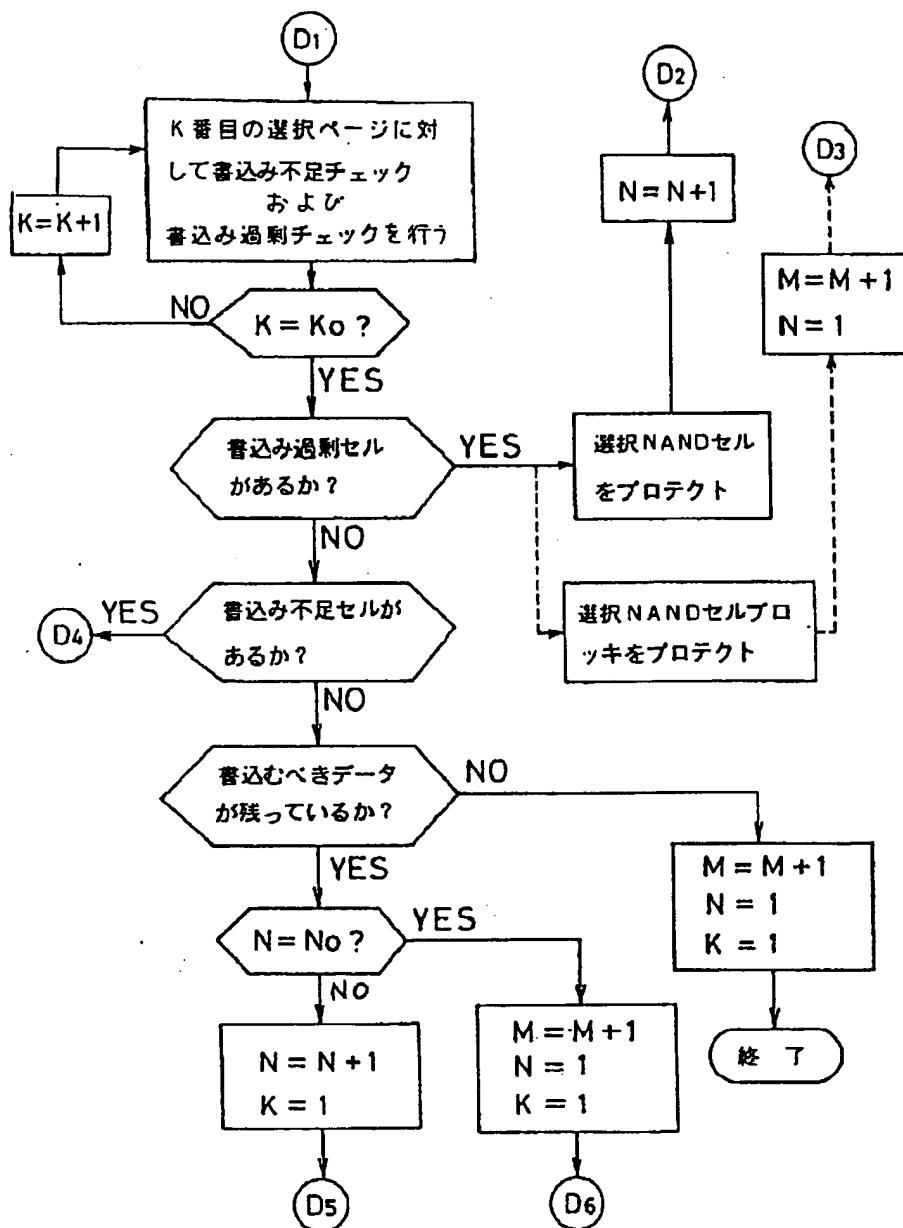
【図30】





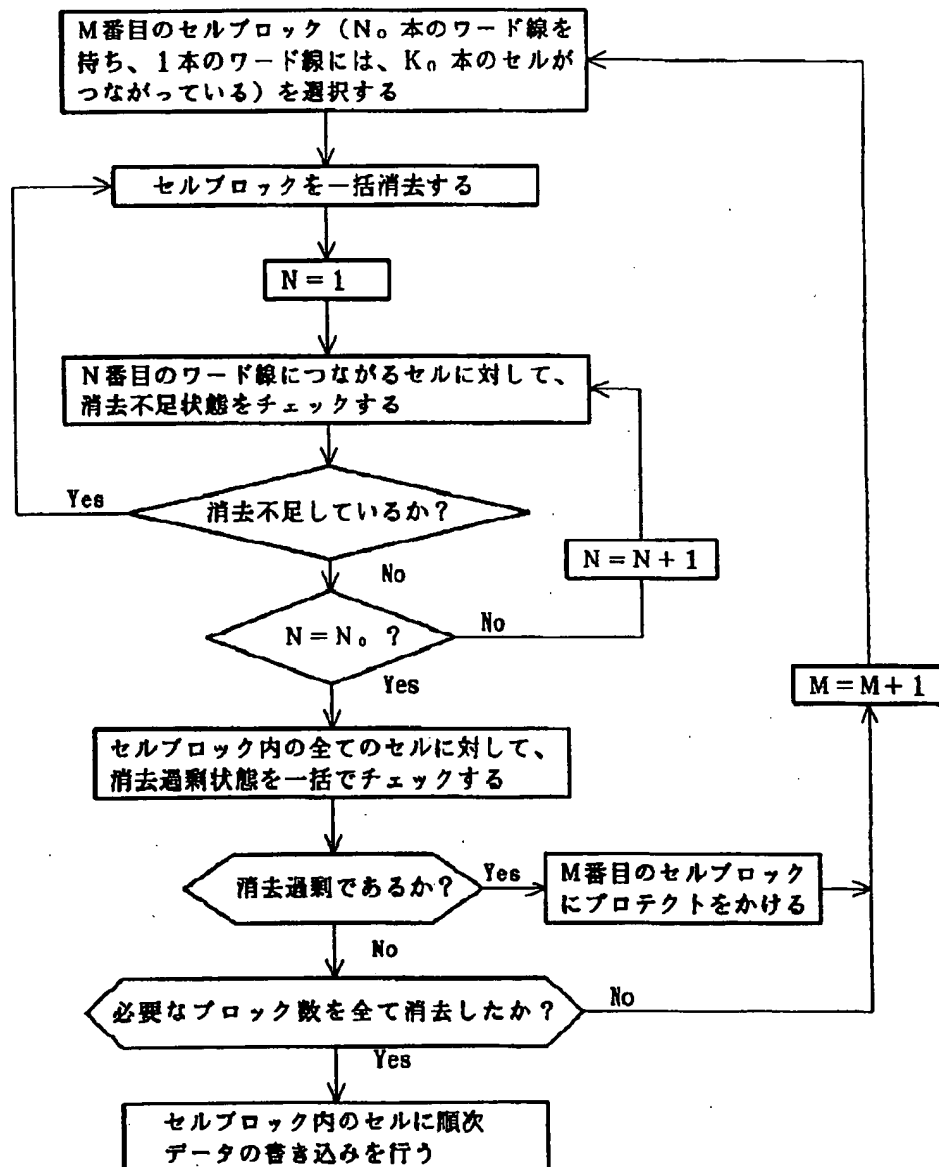
(39)

【図31】



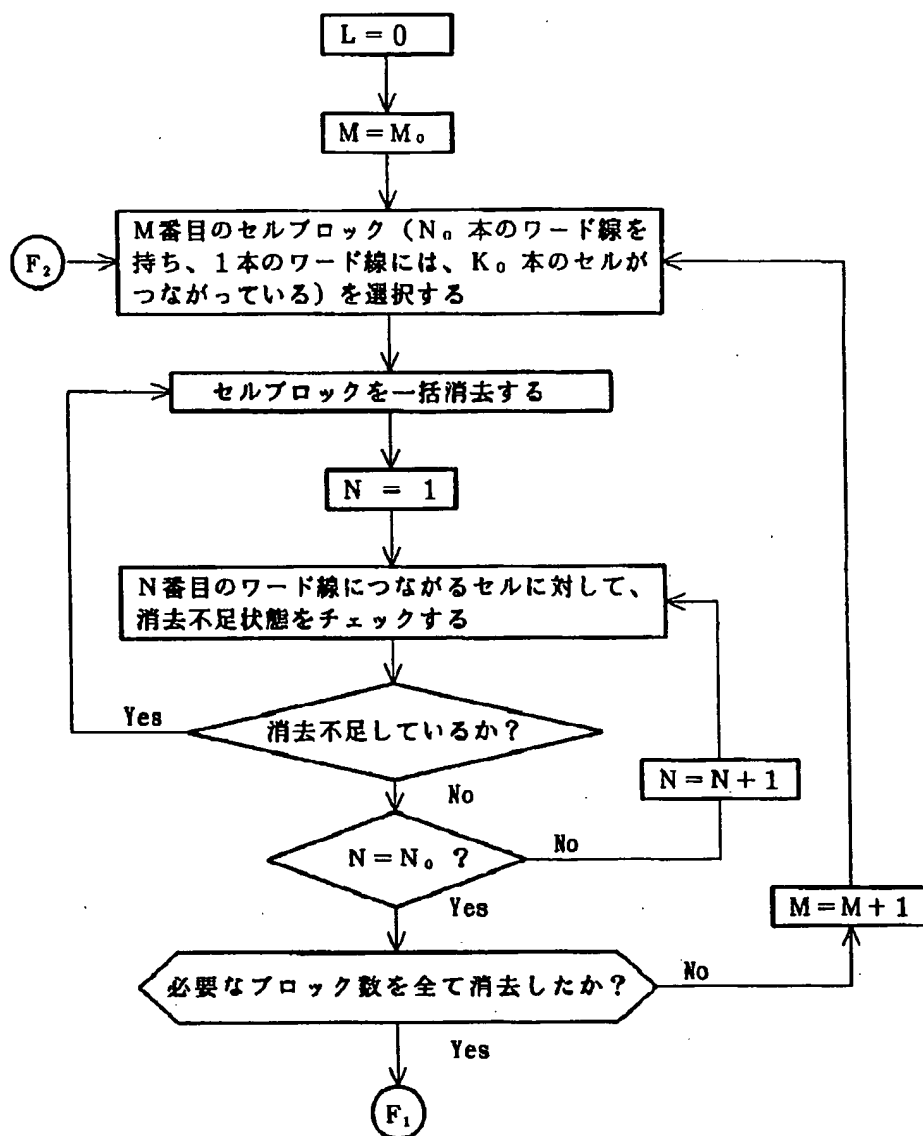
(40)

【図34】



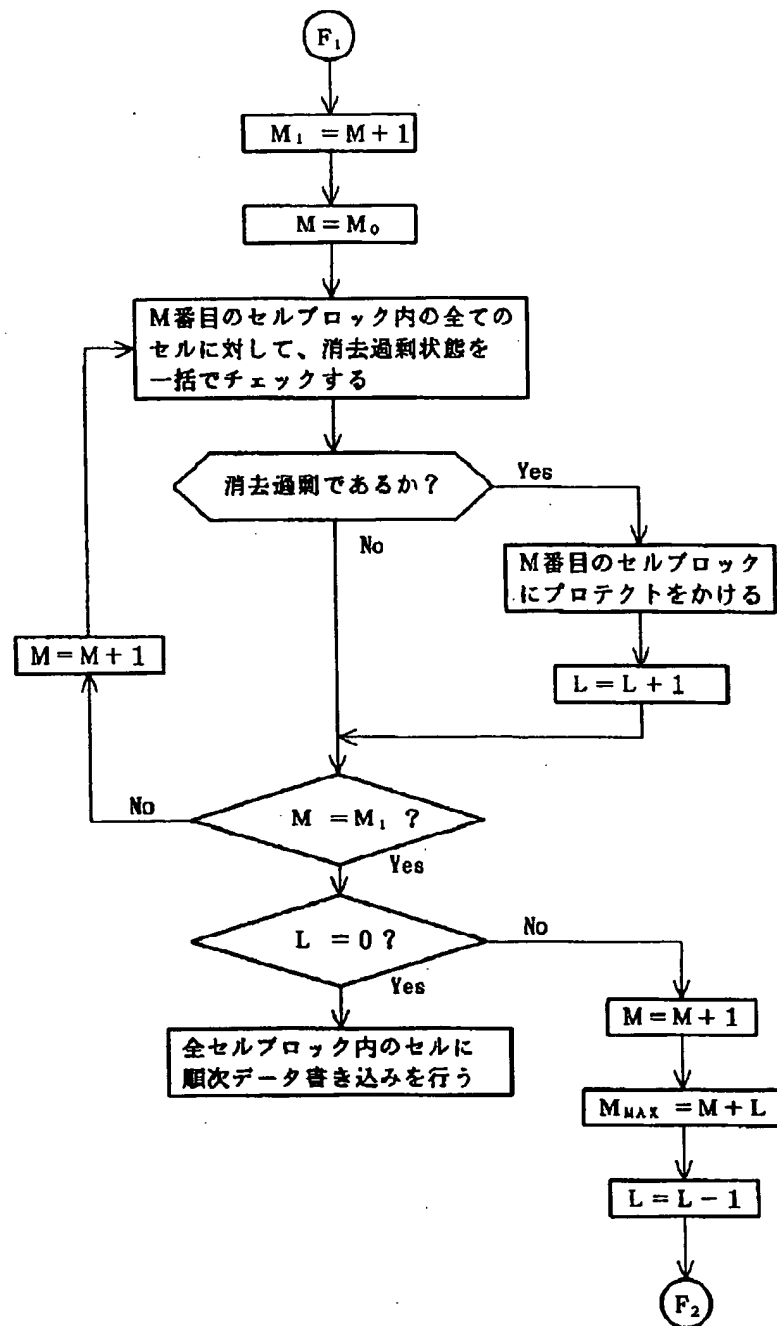
(41)

【図35】



(42)

【図36】



フロントページの続き

(72)発明者 田中 義幸  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(72)発明者 桐澤 亮平  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(43)

(72) 発明者 有留 誠一

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(72) 発明者 百冨 正樹

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内